

JPO/01521

PCT/JP 00/01521

14.03.00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 28 APR 2000

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月15日

出 願 番 号

Application Number:

平成11年特許願第068252号

出 願 人

Applicant(s):

松下電器産業株式会社

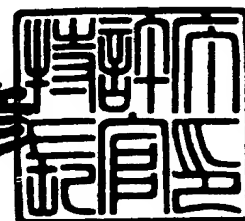
09/913886
E5U

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 4月14日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3025804

【書類名】	特許願	
【整理番号】	7411600032	
【提出日】	平成11年 3月15日	
【あて先】	特許庁長官 殿	
【国際特許分類】	H03G 3/10	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株
	式会社内	
【氏名】	山本 真司	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株
	式会社内	
【氏名】	本吉 要	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株
	式会社内	
【氏名】	福本 信治	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株
	式会社内	
【氏名】	日高 賢一	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株
	式会社内	
【氏名】	渡邊 厚司	
【特許出願人】		
【識別番号】	000005821	
【氏名又は名称】	松下電器産業株式会社	

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び通信装置

【特許請求の範囲】

【請求項 1】 周波数範囲が異なる 2 以上の信号が各々入力される 2 個以上の半導体素子と、

前記各半導体素子の一端に共通に接続される定電流源とを備え、

前記各半導体素子のうち少なくとも 1 個には、この半導体素子を on/off 制御する制御端子が設けられる

ことを特徴とする半導体装置。

【請求項 2】 前記半導体素子の数は 2 個であり、これ等半導体素子の何れか一方に前記制御端子が設けられる

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記各半導体素子は電力増幅素子である

ことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記各半導体素子は周波数変換素子である

ことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 5】 前記電力増幅素子は、前記入力される 2 以上の信号を各々増幅する低雑音増幅器である

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 6】 前記電力増幅素子は、前記入力される 2 以上の信号を各々増幅する高出力電力増幅器である

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 7】 前記周波数変換素子は、前記入力される 2 つ以上の信号を各々これ等信号の周波数よりも低い周波数へと変換するダウンミキサである

ことを特徴とする請求項 4 記載の半導体装置。

【請求項 8】 前記周波数変換素子は、前記入力される 2 つ以上の信号を各々これ等信号の周波数よりも高い周波数へと変換するアップミキサである

ことを特徴とする請求項 4 記載の半導体装置。

【請求項 9】 前記電力増幅素子は、電界効果トランジスタにより構成される

ことを特徴とする請求項 3、5 又は 6 記載の半導体装置。

【請求項 10】 前記ミキサは、デュアルゲート型電界効果トランジスタにより構成される

ことを特徴とする請求項 4、7 又は 8 記載の半導体装置。

【請求項 11】 別途、前記各半導体素子の他端に共通に接続された電源スイッチを備える

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 12】 前記 2 以上の信号を入力するアンテナと、
前記アンテナからの信号の送信時に開く電源スイッチとを備える

ことを特徴とする請求項 5 又は 7 記載の半導体装置。

【請求項 13】 前記 2 以上の信号を入力するアンテナと、
前記アンテナからの信号の受信時に開く電源スイッチとを備える

ことを特徴とする請求項 6 又は 8 記載の半導体装置。

【請求項 14】 前記定電流源は、その定電流値が、
前記 2 個以上の半導体素子のうち、より低歪が要求される半導体素子に必要な電流値に設定される

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 15】 より低歪が要求される半導体素子は、第 3 次相互変調歪が低い低雑音増幅器である

ことを特徴とする請求項 14 記載の半導体装置。

【請求項 16】 より低歪が要求される半導体素子は、デジタル変調方式の電力変換器である

ことを特徴とする請求項 14 記載の半導体装置。

【請求項 17】 前記定電流源は、その定電流値が、
前記 2 個以上の半導体素子のうち、より高周波数範囲の信号を入力する半導体素子に必要な電流値に設定される

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 18】 前記定電流源は、電界効果トランジスタと抵抗とを用いて構成される

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 19】 前記 2 個以上の半導体素子と前記定電流源とは同一パッケージに封止される

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 20】 前記 2 個以上の半導体素子は、出力端子を有し、
前記各半導体素子の出力端子は、相互に独立する

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 21】 前記 2 個以上の半導体素子は、出力側リターンロスが -6 dB 以下であり、

前記各半導体素子の有する出力端子は、共通に接続されて、共用される

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 22】 前記定電流源には、接地キャパシタが並列に接続される
ことを特徴とする請求項 9 又は 10 記載の半導体装置。

【請求項 23】 前記接地キャパシタは、

入力される 2 以上の信号のうち低周波数範囲の信号の周波数でのインピーダンス値が、前記定電流源のインピーダンス値に対して十分に小さく設定される

ことを特徴とする請求項 22 記載の半導体装置。

【請求項 24】 電界効果トランジスタは、そのソースにインダクタが接続される

ことを特徴とする請求項 22 又は 23 記載の半導体装置。

【請求項 25】 前記インダクタは、2 個以上の電界効果トランジスタで共用される

ことを特徴とする請求項 24 記載の半導体装置。

【請求項 26】 前記インダクタは、前記接地キャパシタと直列に配置される
ことを特徴とする請求項 24 又は 25 記載の半導体装置。

【請求項 27】 前記インダクタは、2 個以上の電界効果トランジスタで個別に配置される

ことを特徴とする請求項 24 記載の半導体装置。

【請求項 28】 各電界効果トランジスタ別の前記インダクタは、その値が、

高周波数範囲の信号を入力する電界効果トランジスタほど大きい値に設定されることを特徴とする請求項 27 記載の半導体装置。

【請求項 29】 前記定電流源には、この定電流源を on/off 制御する制御端子が設けられる

ことを特徴とする請求項 1、2、3 又は 4 記載の半導体装置。

【請求項 30】 前記 2 以上の信号を入力するアンテナと、
前記アンテナからの信号の送信時に前記制御端子により off 制御される定電流源とを備える

ことを特徴とする請求項 5 又は 7 記載の半導体装置。

【請求項 31】 前記 2 以上の信号を入力するアンテナと、
前記アンテナからの信号の受信時に前記制御端子により off 制御される定電流源とを備える

ことを特徴とする請求項 6 又は 8 記載の半導体装置。

【請求項 32】 請求項 1 記載の半導体装置と、アンテナとを備えて、
前記アンテナで受信する周波数範囲が異なる前記 2 以上の信号を各々前記半導体素子に入力し、又は、前記半導体素子により処理された周波数範囲が異なる 2 以上の信号を前記アンテナから出力する

ことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、無線機器に用いられる高周波の半導体装置及び通信装置に関する。

【0002】

【従来の技術】

近年、通信チャンネル数確保のために 1 つの端末に 2 つの通信方式を内蔵したデュアルバンド携帯電話が盛んに研究されている。デュアルバンド携帯電話においては、2 つの周波数帯を使用するため通常高周波ブロックに必要な低雑音増幅器 (Low Noise Amplifier、以下 LNA という)、パワーアンプ (Power Amplifier、以下 PA という)、ダウンミキサ (Down Mixer、以下 D-Mix という)、アップミキサ (Up

Mixer、以下U-Mixという)、局部信号発生器(Voltage Controlled Oscillator、以下VCOという)が全て2個ずつと、これ等を時分割動作させるための電源スイッチと、受信経路を切り替える受信経路切替えスイッチ(以下RX切替SWという)と、送信経路を切り替える送信経路切替えスイッチ(以下TX切替SWという)等が必要となる。

【0003】

図32に従来のデュアルバンド携帯電話の高周波ブロックの一例を示す。同図において、101はアンテナ(以下ANTという)、102は1入力4出力のアンテナスイッチ(以下ANT-SWという)、111はLNA1、112はLNA2、121はD-Mix1、122はD-Mix2、131はU-Mix1、132はU-Mix2、141はPA1、142はPA2、151はVCO1、152はVCO2、161はRX切替SW、162はTX切替SWである。

【0004】

以下、図32に示した高周波ブロックの動作について簡単に説明する。

【0005】

ANT 101は空中の電波を捕らえ、電話内部へと導く。ANT-SW 102は4つの信号経路RX1,RX2,TX1,TX2の何れか1つとANT 101とを接続する。

【0006】

次に、受信側の動作について説明する。今、信号経路RX1を例に挙げて説明する。ANT 101において受信された周波数 f_{RX1} の信号は、LNA1 111によって増幅され、D-Mix1 121に送られる。VCO1 151は周波数 f_{L01} の信号を発生し、D-Mix1 121において f_{RX1} と f_{L01} とがミキシングされることにより、周波数 f_{IF} へとダウンコンバートされる。この際、 $f_{RX1}-f_{L01}$ の絶対値は f_{IF} である。信号経路RX2におけるLNA2 112、D-Mix2 122の動作も全く同様であり、この際にはANT 101において受信された周波数 f_{RX2} とVCO2 152において発生された周波数 f_{L02} とが、D-Mix2 122においてミキシングされることにより、周波数 f_{IF} へとダウンコンバートされる。この際、 $f_{RX2}-f_{L02}$ の絶対値は f_{IF} である。RX切替SW 161はD-Mix1 121、D-Mix2 122の信号を切り替えるが、共に、D-Mixの出力端子の周波数は f_{IF} であるので、RX切替SW 161以降の回路は共通化することができる。

【0007】

次に、送信側の動作について説明する。今、信号経路TX1を例に挙げて説明する。TX切替SW 162はU-Mix1 131、U-Mix2 132の何れかに入力された信号を切り替えるが、何れの場合であっても、信号の周波数は f_{MOD} である。VC01 151は周波数 f_{L01} の信号を発生し、U-Mix1 131において周波数 f_{MOD} 、 f_{L01} の両信号がミキシングされることにより、周波数 f_{TX1} へとアップコンバートされる。この際、 f_{L01} と f_{MOD} との和が f_{TX1} となる。PA1 141はU-Mix1 131からの周波数 f_{TX1} の信号をアンテナ送信出力まで増幅する。信号経路TX2におけるU-Mix2 132、PA2 142の動作も全く同様であって、この際には、 f_{L02} と f_{MOD} との和が f_{TX2} となる。

【0008】

今、図32において、特にLNAブロックについてのみ注目して、デュアルバンド携帯電話のLNAブロックの構成を詳細に説明する。

【0009】

図33に従来のデュアルバンド携帯電話のLNAブロックの一例を示す。10は電源、1111はLNA1 111の入力端子、1121はLNA2 112の入力端子、1112はLNA1 111の出力端子、1122はLNA2 112の出力端子、1114はLNA1 111の電源SW、1124はLNA2 112の電源SWである。図33において、周辺整合部品等は省略しており、破線で囲まれた領域は1つの素子を示している。これは以下の図においても同様である。

【0010】

LNA1 1114の電源SWは、LNA1 111の電源端子と電源10の間に接続され、LNA1 111の電源をon・offする。LNA2 1124の電源SWは、LNA2 112の電源端子と電源10の間に接続され、LNA2 112の電源をon・offする。LNA1 111、LNA2 112の各接地端子は共に接地に接続される。

【0011】

【発明が解決しようとする課題】

携帯電話においては、長い通話時間を確保するために、低消費電力化が重要である。そこで、動作していない素子の電源をoffとするのが一般的である。即ち、LNA1 111を動作させる場合には、LNA2 112の電源をoffとするので、電源SW 1114をon、電源SW 1124をoffとする。逆に、LNA2 112を動作させる場合には、LNA1 111の電源をoffとするので、電源SW 1124をon、電源SW 1114をoffとする。また

、送信時には、LNA1 111、LNA2 112共にonにする必要がないので、双方の電源SW 1 114、1124を共にoffとする。

【0012】

電源SWとしては一般的にトランジスタやレギュレータ等の3～4端子の素子が用いられ、LNAとしてはSiバイポーラトランジスタやGaAs FET等の3～4端子の素子が用いられる。従って、LNAブロック全体で、電源SWとして3～4端子の素子が2個と、LNAとして3～4端子の素子が2個の合計4個の素子が必要である。また、このLNAブロックに限らず、他のPA、D-Mix、U-Mixの3ブロックにおいても全く同様であって、各ブロック毎に電源SW2個とトランジスタ等の増幅素子が2個との合計4個の素子が必要である。

【0013】

つまり、従来の素子を用いてデュアルバンド携帯電話を構成する場合には、シングルバンド携帯電話と比較して2倍の部品点数が必要となり、その結果、基板上の実装面積が大きくなってしまい、端末の小型化が困難になる。

【0014】

本発明の目的は、デュアルバンド携帯電話の高周波ブロックにおいて、部品点数を削減して、デュアルバンド携帯端末の小型化を実現することにある。

【0015】

【課題を解決するための手段】

以上の目的を達成するため、本発明では、デュアルバンド携帯電話等の通信装置において、LNAブロックやD-Mixブロック等に備える複数のLNAやD-Mixを、電源SWを用いずに任意に選択切換できるようにする。

【0016】

即ち、請求項1記載の発明の半導体装置は、周波数範囲が異なる2以上の信号が各々入力される2個以上の半導体素子と、前記各半導体素子の一端に共通に接続される定電流源とを備え、前記各半導体素子のうち少なくとも1個には、この半導体素子をon/off制御する制御端子が設けられることを特徴とする。

【0017】

請求項2記載の発明は、前記請求項1記載の半導体装置において、前記半導体

素子の数は2個であり、これ等半導体素子の何れか一方に前記制御端子が設けられることを特徴とする。

【0018】

請求項3記載の発明は、前記請求項1又は2記載の半導体装置において、前記各半導体素子は電力増幅素子であることを特徴とする。

【0019】

請求項4記載の発明は、前記請求項1又は2記載の半導体装置において、前記各半導体素子は周波数変換素子であることを特徴とする。

【0020】

請求項5記載の発明は、前記請求項3記載の半導体装置において、前記電力増幅素子は、前記入力される2以上の信号を各々増幅する低雑音増幅器であることを特徴とする。

【0021】

請求項6記載の発明は、前記請求項3記載の半導体装置において、前記電力増幅素子は、前記入力される2以上の信号を各々増幅する高出力電力増幅器であることを特徴とする。

【0022】

請求項7記載の発明は、前記請求項4記載の半導体装置において、前記周波数変換素子は、前記入力される2つ以上の信号を各々これ等信号の周波数よりも低い周波数へと変換するダウンミキサであることを特徴とする。

【0023】

請求項8記載の発明は、前記請求項4記載の半導体装置において、前記周波数変換素子は、前記入力される2つ以上の信号を各々これ等信号の周波数よりも高い周波数へと変換するアップミキサであることを特徴とする。

【0024】

請求項9記載の発明は、前記請求項3、5又は6記載の半導体装置において、前記電力増幅素子は、電界効果トランジスタにより構成されることを特徴としている。

【0025】

請求項 10 記載の発明は、前記請求項 4、7 又は 8 記載の半導体装置において、前記ミキサは、デュアルゲート型電界効果トランジスタにより構成されることを特徴とする。

【0026】

請求項 11 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、別途、前記各半導体素子の他端に共通に接続された電源スイッチを備えることを特徴とする。

【0027】

請求項 12 記載の発明は、前記請求項 5 又は 7 記載の半導体装置において、前記 2 以上の信号を入力するアンテナと、前記アンテナからの信号の送信時に開く電源スイッチとを備えることを特徴とする。

【0028】

請求項 13 記載の発明は、前記請求項 6 又は 8 記載の半導体装置において、前記 2 以上の信号を入力するアンテナと、前記アンテナからの信号の受信時に開く電源スイッチとを備えることを特徴とする。

【0029】

請求項 14 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記定電流源は、その定電流値が、前記 2 個以上の半導体素子のうち、より低歪が要求される半導体素子に必要な電流値に設定されることを特徴とする。

【0030】

請求項 15 記載の発明は、前記請求項 14 記載の半導体装置において、より低歪が要求される半導体素子は、第 3 次相互変調歪が低い低雑音増幅器であることを特徴とする。

【0031】

請求項 16 記載の発明は、前記請求項 14 記載の半導体装置において、より低歪が要求される半導体素子は、デジタル変調方式の電力変換器であることを特徴とする。

【0032】

請求項 17 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置にお

いて、前記定電流源は、その定電流値が、前記 2 個以上の半導体素子のうち、より高周波数範囲の信号を入力する半導体素子に必要な電流値に設定されることを特徴とする。

【0033】

請求項 18 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記定電流源は、電界効果トランジスタと抵抗とを用いて構成されることを特徴とする。

【0034】

請求項 19 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記 2 個以上の半導体素子と前記定電流源とは同一パッケージに封止されることを特徴とする。

【0035】

請求項 20 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記 2 個以上の半導体素子は、出力端子を有し、前記各半導体素子の出力端子は、相互に独立することを特徴とする。

【0036】

請求項 21 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記 2 個以上の半導体素子は、出力側リターンロスが -6 dB 以下であり、前記各半導体素子の有する出力端子は、共通に接続されて、共用されることを特徴とする。

【0037】

請求項 22 記載の発明は、前記請求項 9 又は 10 記載の半導体装置において、前記定電流源には、接地キャパシタが並列に接続されることを特徴とする。

【0038】

請求項 23 記載の発明は、前記請求項 22 記載の半導体装置において、前記接地キャパシタは、入力される 2 以上の信号のうち低周波数範囲の信号の周波数でのインピーダンス値が、前記定電流源のインピーダンス値に対して十分に小さく設定されることを特徴とする。

【0039】

請求項 2 4 記載の発明は、前記請求項 2 2 又は 2 3 記載の半導体装置において、電界効果トランジスタは、そのソースにインダクタが接続されることを特徴とする。

【 0 0 4 0 】

請求項 2 5 記載の発明は、前記請求項 2 4 記載の半導体装置において、前記インダクタは、2 個以上の電界効果トランジスタで共用されることを特徴としている。

【 0 0 4 1 】

請求項 2 6 記載の発明は、前記請求項 2 4 又は 2 5 記載の半導体装置において、前記インダクタは、前記接地キャパシタと直列に配置されることを特徴としている。

【 0 0 4 2 】

請求項 2 7 記載の発明は、前記請求項 2 4 記載の半導体装置において、前記インダクタは、2 個以上の電界効果トランジスタで個別に配置されることを特徴とする。

【 0 0 4 3 】

請求項 2 8 記載の発明は、前記請求項 2 7 記載の半導体装置において、各電界効果トランジスタ別の前記インダクタは、その値が、高周波数範囲の信号を入力する電界効果トランジスタほど大きい値に設定されることを特徴とする。

【 0 0 4 4 】

請求項 2 9 記載の発明は、前記請求項 1、2、3 又は 4 記載の半導体装置において、前記定電流源には、この定電流源を on/off 制御する制御端子が設けられることを特徴とする。

【 0 0 4 5 】

請求項 3 0 記載の発明は、前記請求項 5 又は 7 記載の半導体装置において、前記 2 以上の信号を入力するアンテナと、前記アンテナからの信号の送信時に前記制御端子により off 制御される定電流源とを備えることを特徴とする。

【 0 0 4 6 】

請求項 3 1 記載の発明は、前記請求項 6 又は 8 記載の半導体装置において、前

記 2 以上の信号を入力するアンテナと、前記アンテナからの信号の受信時に前記制御端子により off 制御される定電流源とを備えることを特徴とする。

【 0 0 4 7 】

請求項 3 2 記載の発明の通信装置は、請求項 1 記載の半導体装置と、アンテナとを備えて、前記アンテナで受信する周波数範囲が異なる前記 2 以上の信号を各々前記半導体素子に入力し、又は、前記半導体素子により処理された周波数範囲が異なる 2 以上の信号を前記アンテナから出力することを特徴とする。

【 0 0 4 8 】

以上の構成により、請求項 1 ないし請求項 2 0 及び請求項 3 2 記載の発明では、複数の半導体素子の on/off 動作が、これ等のうち少なくとも 1 個の半導体素子に備える制御端子の印可電圧でもって切換制御されて、複数の半導体素子のうち任意の 1 個の選択が自在にできる。従って、従来のように半導体素子の個数分必要であった電源 SW が 1 個で済むと共に、前記複数の半導体素子及び定電流源を 1 個の素子としてパッケージ可能である。よって、部品点数が削減されて、携帯端末の小型化が実現可能である。

【 0 0 4 9 】

また、請求項 2 1 記載の発明では、複数の半導体素子の出力端子が相互に共用化されるので、パッケージ化される 1 個の素子の端子数が低減される。

【 0 0 5 0 】

更に、請求項 2 2 及び請求項 2 3 記載の発明では、備える半導体素子を電界効果トランジスタで構成した場合に、接地キャパシタによって、この電界効果トランジスタのソース端子が、高周波的には接地され、DC 的にはオープンにされることにより、高周波特性が向上する。

【 0 0 5 1 】

加えて、請求項 2 4 から請求項 2 6 記載の発明では、ソースインダクタにより、備える電界効果トランジスタのゲインを良好に確保しながら、その電界効果トランジスタの安定係数を向上させて、これ等電界効果トランジスタでの低い雑音指数と優れた入力リターンロスとの両立を図ることが可能である。

【 0 0 5 2 】

また、請求項 2 7 及び請求項 2 8 記載の発明では、備える電界効果トランジスタ別にソースインダクタを配置したので、これ等電界効果トランジスタ毎に低い雑音指数と優れた入力リターンロスとが実現される。

【 0 0 5 3 】

更に、請求項 2 9 から請求項 3 1 記載の発明では、電源 SW が不要であるので、1 個の素子のみで半導体ブロックを構成でき、より一層に部品点数が削減されて、携帯端末の小型化が実現可能である。

【 0 0 5 4 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【 0 0 5 5 】

尚、以下に説明する実施の形態では、デュアルバンド携帯電話の LNA ブロック及び D-Mix ブロックの場合についてのみ説明する。PA ブロックは、取り扱う電力が LNA ブロックよりも大きい、その回路構成が LNA ブロックと全く同一であり、また U-Mix ブロックは、各端子に入力される周波数が D-Mix ブロックの場合とは異なるが、その回路構成が D-Mix ブロックと同一であるので、省略する。

【 0 0 5 6 】

(第 1 の実施の形態)

図 1 は、通信装置としてのデュアルバンド携帯電話の内部に備える、本発明の第 1 の実施の形態に係る LNA ブロックの構成を示す。同図において、111 は第 1 の LNA1 (半導体素子且つ電力増幅素子)、112 は第 2 の LNA2 (半導体素子且つ電力増幅素子)、10 は電源、1114 は電源 SW、115 は定電流源 1 である。また、1111 は第 1 の LNA1 111 の入力端子、1112 は第 1 の LNA1 111 の出力端子、1121 は第 2 の LNA1 112 の入力端子、1122 は第 2 の LNA1 112 の出力端子である。

【 0 0 5 7 】

前記第 1 及び第 2 の LNA1 111、112 の電源端子は共通に接続され、この共通端子と電源 10 の間に前記電源 SW 1114 が接続されている。また、第 1 及び第 2 の LNA1 111、LNA2 112 の接地端子は共通に接続され、この共通端子と接地の間に前記定電流源 1 115 が接続されている。更に、第 1 の LNA1 の入力端子 1111 及び出力端

子1112、第2のLNA2の入力端子1121及び出力端子1122は、全て、端子として独立している。第1のLNA1 111と第2のLNA2 112とには、相互に異なった周波数範囲を持つ高周波信号が各々入力される。この両高周波信号の周波数範囲は、相互で一部重複する場合、又は重複せず全く異なる場合の何れの場合であっても良い。

【0058】

そして、第1及び第2のLNA1 111、LNA2 112のうち、第1のLNA1 111には、この第1のLNA1 111をon/off制御する制御端子1115が設けられる。この制御端子1115の電位がHighの場合には第1のLNA1 111はonし、Lowの場合には第1のLNA1 111はoffする。

【0059】

前記第1及び第2のLNA1 111、LNA2 112及び定電流源1 115は、図1に破線で囲んで示すように、1つのパッケージに封止されている。

【0060】

次に、図1に示したLNAブロックの動作を説明する。今、定電流源1 115の定電流値を I_1 とする。図1の構成により、第1のLNA1 111の電流と第2のLNA2 112の電流との和は、定電流源1 115により常に定電流値 I_1 となる。従って、第1のLNA1 111の制御端子1 115にLowを印加した場合には、第1のLNA1 111がoffしてその電流値が"0"となる。この時、第2のLNA2 112の電流値は定電流値 I_1 となり、第2のLNA2 112がonとなる。逆に、第1のLNA1 111の制御端子 1115にHighを印加した場合には、この第1のLNA1 111がonし、この第1のLNA1 111の電流値が前記定電流値 I_1 となり、第2のLNA2 112はその電流値が"0"となってoffする。つまり、電源SW 1114に依らず、第1のLNA1 111の制御端子1115への印加電圧により、2個のLNA111、112の切替えが可能である。尚、電源SW1114は、送信時にoff（開）制御されて、両LNA111、112を共にoffにする。

【0061】

前記定電流源1 115の定電流値 I_1 について説明する。LNAでは、Gainや歪等の高周波特性の仕様を満足するための最低消費電流が存在する。その最低消費電流値よりも大きい値の動作電流を流した場合には、高周波特性は基本的には向上するが、電流として無駄が生じる。今、第1及び第2のLNA1 111、LNA2 112の最低消

費電流を各々 I_{1min} 、 I_{2min} とした場合、本実施の形態においては、 $I_{1min}=I_{2min}$ であることが最も望ましい。この場合、定電流源1 115の定電流値 I_1 は、 $I_{1min}=I_{2min}=I_1$ と設定する。この設定によれば、消費電流に無駄はなくなる。

【0062】

一方、前記2個のLNA1 111、LNA2 112において、その有する3次相互変調歪が異なる場合には、各LNA1 111、LNA2 112に必要な最低消費電流値も異なる。この場合には、3次相互変調歪がより低歪み（歪みが良い）の方のLNAに必要な最低消費電流値が、高歪み（歪みが悪い）のLNAの最低消費電流値よりも大きな値となる。従って、各LNAの最低消費電流値が異なる場合には、定電流源1 115の定電流値 I_1 は、前記3次相互変調歪が低歪みの方のLNAの最低消費電流値に一致させる。この場合、3次相互変調歪が高歪みの方のLNAでは、そのon時には、その持つ最低消費電流値を越える無駄な電流が流れる。従って、両LNA1 111、LNA2 112のゲート長やゲート幅等のデバイスパラメータを変更して、その双方の最低消費電流値を等しく($I_{1min}=I_{2min}$)に近づけることが望ましい。

【0063】

尚、本実施の形態では、半導体素子としてLNAを用いた場合を説明したが、半導体素子としてパワーアンプPAを使用する場合にも同様に適用可能である。この場合には、信号の送信時にパワーアンプPAを動作させるので、信号の受信時に電源SW 1114をoffして、2個のパワーアンプPAを動作を停止させる。また、定電流源1 115の定電流値 I_1 の設定については、以下の通りである。即ち、デジタル変調方式のパワーアンプPAでは、歪みは一般的に隣接チャネル漏洩電力で規定される。この隣接チャネル漏洩電力について簡単に説明すると、図30に示すように、中心周波数 f_c でデジタル変調をかけた場合、出力波は同図(a)に記号Aで示すように、サイドローブを伴った波形となり、そのサイドローブ電力は同図(b)に示すように歪みに比例して大きくなる。周波数が $+\Delta f$ だけ離れた隣接チャネルではサイドローブ電力は妨害波であるため、このサイドローブ電力をデジタル変調方式での歪みの指標として用い、中心周波数 f_c を中心とする $+f_W \sim -f_W$ 帯域幅電力積分値に対して、 $f_c + \Delta f$ を中心とする $+f_W \sim -f_W$ 帯域幅電力積分値の抑圧比を隣接チャネル漏洩電力 P_{adj} と定義する。この隣接チャネル漏洩電力 P_{adj} は、通常、

負値であり、歪みが大きいほど大きくなる(絶対値としては小さくなる)。デジタル変調方式のパワーアンプPAは、この隣接チャネル漏洩電力 P_{adj} が小さい(絶対値としては大値)ほど低歪みであって、大きな消費電流を必要とする。従って、定電流源1115の定電流値 I_1 は、2個のパワーアンプPAのうち隣接チャネル漏洩電力 P_{adj} が小さい方の消費電流値に一致させる。

【0064】

本実施の形態のLNAブロックでは、1個の素子117と、電源SW 1114より成る他の1個の素子との合計2個の素子により、構成される。図33に示した従来のLNAブロックでは、2個の電源SW1114、1124により構成される2個の素子と、2個のLNA111、112により構成される他の2個の素子の合計4個の素子が必要であるので、この従来例と比較して、本実施の形態のLNAブロックでは、部品点数を削減でき、携帯端末の小型化が実現可能である。

【0065】

(第2の実施の形態)

次に、本発明の第2の実施の形態のLNAブロックを説明する。前記第1の実施の形態では2個のLNAを用いたが、本実施の形態では、3個のLNAを用いたものである。

【0066】

図2(a)は本実施の形態のLNAブロックを示す、図1のLNAブロックに対し第3のLNA3 113を追加したものである。前記第3のLNA3 113は、その電源端子が電源SW 1114に接続され、その接地端子が定電流源1115に接続され、その入力端子1131及び出力端子1132は独立して設けられる。更に、前記第3のLNA3 113には、前記第1のLNA1 111と同様に、第3のLNA3 113をon、off制御する制御端子1135を持っている。

【0067】

本実施の形態では、第1のLNA1 111に流れる電流を I_{11} 、第2のLNA2 112に流れる電流を I_{12} 、第3のLNA3 113に流れる電流を I_{13} とすると、定電流源 I_1 は $I_1 = I_{11} + I_{12} + I_{13}$ で表現される。同図(b)に示すように、第1のLNA1 111の制御端子1115をHigh、第3のLNA3 113の制御端子1135をLowに制御したとき、 $I_{11} = I_1$ 、 $I_{13} = 0$

となるようにバイアス設定される。従って、このときには、 $I_{12}=0$ となり、第 1 の LNA1 111 のみが、電流が流れて on する。同様に、第 1 の LNA1 111 の制御端子 115 を Low、第 3 の LNA3 113 の制御端子 1135 を High に制御したとき、 $I_{11}=0$ 、 $I_{13}=I_1$ となるようにバイアス設定される。従って、このときには、 $I_{12}=0$ となり、第 3 の LNA3 113 のみが、電流が流れて on する。一方、第 1 及び第 3 の LNA1 111、LNA3 113 の各制御端子 1115、1135 を Low に制御したときには、 $I_{11}=0$ 、 $I_{13}=0$ となり、第 2 の LNA2 112 のみが、電流が流れて on する。

【0068】

従って、本実施の形態の LNA ブロックにおいても、3 個の LNA を使用しながら、図 3 3 に示した従来例と比較して、部品点数を削減でき、携帯端末の小型化が実現可能である。

【0069】

尚、定電流源 1 115 の定電流値 I_1 は、前記第 1 の実施の形態と同様に、3 個の LNA の最低消費電流値を相互に等しく設定することが望ましいが、それ等の 3 次相互変調歪が異なる場合には、3 個の LNA のうち最も低歪みの LNA の最低消費電流値、即ち最も大値の最低消費電流値に一致させる。

【0070】

また、本実施の形態では、3 個の LNA を使用したが、4 個以上の LNA を使用する場合であっても、同様に適用できるのは勿論である。

【0071】

(第 3 の実施の形態)

図 3 は、本発明の第 3 実施の形態に係るデュアルバンド携帯電話の D-Mix ブロックの構成を示す。本実施の形態では、第 1 の実施の形態の 2 個の LNA に代えて 2 個の D-Mix を使用したものである。

【0072】

同図において、121 は第 1 の D-Mix1 (半導体素子且つ周波数変換素子)、122 は第 2 の D-Mix2 (半導体素子且つ周波数変換素子)、125 は定電流源 1、10 は電源、1214 は電源 SW である。前記第 1 の D-Mix1 121 は、図示しない LNA からの高周波信号が入力される入力端子 1211 と、図示しない局部信号発生器 VC0 からの周波数 f_{LO}

1の信号が入力されるL0入力端子1213と、出力端子1212とを持つ。同様に、第2のD-Mix2 122は、図示しない他のLNAからの高周波信号が入力される入力端子1221と、図示しない他の局部信号発生器VC0からの周波数 f_{L02} の信号が入力されるL0入力端子1223と、出力端子1222とを持つ。前記2個のD-Mix1 121、D-Mix2 122の電源端子は共通に接続され、その共通端子と電源10との間に電源SW1214が接続されている。また、両D-Mix1 121、D-Mix2 122の接地端子は共通に接続され、この共通端子と接地の間に定電流源1 125が接続されている。

【0073】

更に、前記2個のD-Mix1 121、D-Mix2 122のうち、第1のD-Mix1 121には、この第1のD-Mix1 121をon、offする制御端子1215を持つ。

【0074】

前記2個のD-Mix1 121、D-Mix2 122の切替えは、前記第1の実施の形態と同様に、第1のD-Mix1 121の制御端子1215への印加電圧を変化させて、行う。前記定電流源1 125の定電流値は、第1の実施の形態と同様に、より低歪みのD-Mixに最低消費電流値に一致させる。

【0075】

前記2個のD-Mix1 121、D-Mix2 122、及び定電流源1 125は、1つのパッケージに封止されている。

【0076】

本実施の形態のD-Mixブロックの動作は、第1の実施の形態のLNAブロックの場合と同様であるので、その動作説明を省略する。

【0077】

従って、本実施の形態のD-Mixブロックにおいても、1つの素子123と、電源SW1214から成る他の素子の合計2個の素子で構成されるので、図33に示した従来例と比較して、部品点数を削減でき、携帯端末の小型化が実現可能である。

【0078】

尚、本実施の形態では、2個のD-Mixを使用したか、3個以上のD-Mixを使用する場合は、前記第2の実施の形態と同様であるので、その説明を省略する。

【0079】

(第 4 の実施の形態)

図 4 は、本発明の第 4 実施の形態に係るデュアルバンド携帯電話の LNA ブロックの構成を示す。以下、本実施の形態が前記第 1 の実施の形態と異なる点のみを説明し、同一部分に付いては同一の符号を付して、その説明を省略する。

【 0 0 8 0 】

即ち、第 2 の LNA2 112 の出力端子は、第 1 の LNA1 111 の出力端子 1112 に接続されて、両 LNA1 111、LNA2 112 で出力端子が共用されている。従って、素子 117' は、第 1 の実施の形態の素子 117 よりも端子数を 1 つ低減できる効果を奏する。

【 0 0 8 1 】

以下、2 個の LNA 間で出力端子を共用できる条件を説明する。デュアルバンド携帯電話では、2 個の LNA に各々入力される信号の周波数範囲は相互で異なるものの、この両信号の周波数範囲が近接している場合には、図 4 に示すように、2 個の LNA 間で出力整合回路 118 を共有化できる。前記出力整合回路 118 の出力端子側における電力の反射が少ない場合は、良好に整合された状態であって、この良好に整合された状態は、図 3 1 に示すように、前記出力整合回路 118 の出力端子側でのリターンロスが小さくて、設定値以下、一般的には -6dB 以下の場合である。従って、前記 2 つの信号の周波数範囲が近接する場合とは、一方（例えば第 1 の LNA1 111）に入力される信号の周波数範囲が $f_{11} \sim f_{12}$ であり、他方（第 2 の LNA2 112）に入力される信号の周波数範囲が $f_{21} \sim f_{22}$ であるとする、この両周波数範囲において前記出力整合回路 118 の出力端子側でのリターンロスが前記設定値（例えば -6 dB）以下である場合を言う。

【 0 0 8 2 】

図 5 は本実施の形態の変形例を示す。本実施の形態ではデュアルバンド携帯電話の LNA ブロックに備える 2 個の LNA 111、112 の出力端子を共用したが、本変形例では、前記第 3 の実施の形態のデュアルバンド携帯電話の D-Mix ブロックに備える 2 個の D-Mix 121、122 の出力端子を共用したものである。即ち、図 5 では、第 2 の D-Mix 122 の出力側は第 1 の D-Mix 121 の出力端子 1212 に接続されて、第 2 の D-Mix 122 の出力端子が省略されている。その他の構成及び出力端子を共用できる条件等は、本実施の形態と同様であるので、その説明を省略する。

【 0 0 8 3 】

(第 5 の実施の形態)

図 6 (a) は、本発明の第 5 の実施の形態に係るデュアルバンド携帯電話の LNA ブロックの構成を示す。本実施の形態は、前記第 1 の実施の形態を示す図 1 の構成を具体化したものである。即ち、本実施の形態では、LNA として電界効果トランジスタ (以下、FET という) を用い、ソース接地回路を付加し、更に接地キャパシタを設けている。

【 0 0 8 4 】

同図 (a) において、201 は第 1 の LNA を構成する FET1、202 は第 2 の LNA を構成する FET2、1114 は電源 SW である。また、2012 はゲートバイアス抵抗 1、20221 はゲートバイアス抵抗 2、20222 はゲートバイアス抵抗 3、2013 はチョークインダクタ 1、2023 はチョークインダクタ 2、211 は接地キャパシタである。FET1 201、FET2 202 のしきい値 (以下、 V_{th} という) は等しいものとする。このことは以下に説明する実施の形態においても同様とする。

【 0 0 8 5 】

前記 2 個の FET1 201、FET2 202 のドレインは、各々、出力端子 1112、1122 となると共に、チョークインダクタ 1 2013、チョークインダクタ 2 2023 に接続され、この両チョークインダクタの他端は共通に接続され、その共通端子に電源 SW 1114 が接続され、電源 SW 1114 の他端は電源 10 に接続されている。また、FET1 201、FET2 202 のソースは共通に接続され、その共通端子に定電流源 1115 と接地キャパシタ 211 とが並列に接続され、これ等の他端は接地に接続されている。また、第 1 の FET1 201 の入力端子 1111 は、ゲートバイアス抵抗 1 201 を介して制御端子 1115 に接続される。一方、第 2 の FET2 202 の入力端子 1121 は、前記ゲートバイアス抵抗 2 20221 及びゲートバイアス抵抗 3 20222 を介して、第 2 の FET2 202 のドレイン及びソースに接続される。電源 SW 1114 は、信号の送信時に両 FET201、202 を off にするために off 制御される。

【 0 0 8 6 】

前記接地キャパシタ 211 は、2 個の FET 201、202 のソース端子を高周波的に接地し、且つ、DC 的にオープンにして高周波特性を向上させるために配置される。

従って、接地キャパシタ211のインピーダンスは、使用周波数において、定電流源1 115に対して十分小さい値に選定される。具体的に、接地キャパシタ211のインピーダンス R_c は、周波数を $f(\text{Hz})$ として、 $R_c=1/(2\pi \cdot f \cdot c)$ で表現され、定電流源1 115のインピーダンスを R とすると、 $R \gg R_c$ (一般的には $R > 10 \cdot R_c$)であれば、周波数成分 f の電流はほとんど接地キャパシタ211を流れ、周波数成分 f での接地キャパシタ211の両端の電圧はほぼ"0"(V)となる。ここで、入力される2つの信号の各周波数において前記式 $R \gg R_c$ を満たすために、接地キャパシタ211のインピーダンス R_c は、2つの信号の周波数範囲のうち低い側の周波数範囲に対応させて、設定される。

【0087】

また、前記2個のチョークインダクタ1 2013、チョークインダクタ2 2023は、各々、FET1 201、FET2 202にDC電源を供給し、且つ、使用する周波数においてドレインのインピーダンスを高周波的にオープンにするために配置される。従って、チョークインダクタ1 2013、チョークインダクタ2 2023のインピーダンスは、使用周波数において、負荷インピーダンスに対して十分大きく選定される。

【0088】

更に、ゲートバイアス抵抗1 2012は、制御端子1 1115と第1のFET 201の入力端子 1111をDC的に同電位に保つと同時に、高周波的にはこの両端子間をアイソレートするために配置される。

【0089】

前記定電流源1 115は、例えば同図(b)に示すように、FET 301と2個の抵抗311、312を用いて構成される。具体的には、FET 301のソースに抵抗311の一端が接続され、この抵抗311の他端が抵抗312を介してFET 301のゲートに接続される。

【0090】

尚、評価系のインピーダンスは、通常、 50Ω 系や 75Ω 系であるのに対し、一般的にFET 201、202の入出力インピーダンスはこれ等以外の値をとるのが普通である。従って、FET 201、202に効率良く電力を伝達するためには、実際には、各FETの入出力側に整合回路が必要であるが、図6(a)ではこの入出力整合回路を省略している。

【0091】

次に、図6(a)の回路動作について説明する。今、信号の受信時において、定電流源1115の電流値を I_1 とする。同図(a)において、第2のFET2202のゲートは、2個のゲートバイアス抵抗20221、20222により電圧 V_{g2} に設定されているとする。制御端子1115の電圧を V_{g1} とし、この電圧 V_{g1} をLow(例えば"0"V)に設定したとき、 $V_{g1} < V_{g2}$ となる場合には、第2のFET2202に定電流 I_1 が流れ、第1のFET1201の電流は"0"となる。従って、第2のFET2202がon、第1のFET1201がoffとなる。一方、電圧 V_{g1} をHighに設定して、 $V_{g1} > V_{g2}$ とした場合には、第1のFET1201に定電流 I_1 が流れ、第2のFET2202の電流は"0"となる。従って、第1のFET1201がon、第2のFET2202がoffとなる。

【0092】

従って、本実施の形態では、前記第1の実施の形態と同様に、合計2個の素子でLNAブロックを構成できて、部品点数を削減でき、携帯端末の小型化が実現できる効果に加えて、LNAをFETで構成し、ソース接地回路を設けた場合に、接地キャパシタ211により、FETのソース端子を高周波的に接地し且つDC的にオープンにして高周波特性を向上させる効果を奏する。

【0093】

図7は本実施の形態の第1の変形例を示す。この変形例は、前記第3の実施の形態のデュアルバンド携帯電話のD-Mixブロック(図3参照)において、2個のD-mixを第1及び第2のデュアルゲートFET1301、FET2302により構成すると共に、定電流源1125に接地キャパシタ211を並列に配置した構成を示す。即ち、図7において、301はデュアルゲートFET1、302はデュアルゲートFET2、3012はゲートバイアス抵抗1、30221はゲートバイアス抵抗2、30222はゲートバイアス抵抗3、3011はチョークインダクタ1、3012はチョークインダクタ2である。デュアルゲートFET1301及びデュアルゲートFET2302のしきい値電圧 V_{th} は等しいものとし、以下の実施の形態においても同様とする。

【0094】

前記デュアルゲートFET1301、デュアルゲートFET2302のドレインは、各々、チョークインダクタ13011、チョークインダクタ23012に接続され、この両チョ

ークインダクタの他端は共通に接続され、その共通端子に電源SW 1214が接続され、この電源SW 1214の他端は電源10に接続される。また、デュアルゲートFET1 301及びデュアルゲートFET2 302のソースは共通に接続され、その共通端子に定電流源1 125が接続され、この定電流源1 125の他端は接地に接続される。そして、この定電流源1 125には、接地キャパシタ211が並列に接続される。前記両デュアルゲートFET 301、302において、入力端子 1211、入力端子 1221、出力端子 1212、出力端子 1222、L0入力端子 1213、L0入力端子 1223は、全て独立している。2つのD-Mixの切替えは、デュアルゲートFET1 301の入力端子 1211にゲートバイアス抵抗1 3012介して配置された制御端子 1115への印加電圧を変化させることにより、行う。尚、定電流源1 125については、図 6 (b)と同一回路により構成される。

【0095】

また、図 8 及び図 9 は各々本実施の形態の第 2 及び第 3 の変形例を示す。前記第 2 の変形例は、前記第 4 の実施の形態のデュアルバンド携帯電話のLNAブロック（図 4 参照）において、2 個のLNAを第 1 及び第 2 のデュアルゲートFET1 201、FET2 202により構成すると共に、定電流源1 125に接地キャパシタ211を並列に配置した構成を示す。更に、前記第 3 の変形例は、前記第 4 の実施の形態の変形例のデュアルバンド携帯電話のD-Mixブロック（図 5 参照）において、出力端子を共用化した 2 個のD-mixを第 1 及び第 2 のデュアルゲートFET1 301、FET2 302により構成すると共に、定電流源1 125に接地キャパシタ211を並列に配置した構成を示す。

【0096】

以上の第 2 及び第 3 の変形例では、本実施の形態と同様に、接地キャパシタ211により、FETのソース端子を高周波的に接地し且つDC的にオープンにして高周波特性を向上させる効果を奏する。

【0097】

（第 6 の実施の形態）

図 1 0 は、本発明の第 6 の実施の形態に係るLNAブロックの構成を示す。本実施の形態は、前記第 5 の実施の形態を示す図 6 (a)の構成を改良したものである

。即ち、本実施の形態を示す図 1 0 の LNA ブロックでは、図 6 (a) の構成に、更に、FET のソースと接地との間にインダクタを追加したものである。

【 0 0 9 8 】

即ち、図 1 0 において、接地キャパシタ 211 には、インダクタ (以下、ソースインダクタという) 221 が直列に接続され、この接地キャパシタ 211 とソースインダクタ 221 との直列回路は、定電流源 1 115 に並列に接続されている。

【 0 0 9 9 】

本実施の形態では、第 1 及び第 2 の FET 1 201、FET 2 202 のソースと接地との間にソースインダクタ 221 が挿入されるので、これ等 FET 201、202 の安定係数が向上すると共に、これ等 FET 201、202 の入力リターンロスが最小となるインピーダンス $G_{\text{ain max}}$ と、雑音指数が最小となるインピーダンス Γ_{opt} とが接近して、整合が良く取れて且つ雑音指数の優れた状態を得ることができる。但し、ソースインダクタ 221 の値を大きく設定するほど、FET 201、202 のゲインは低下する。FET のゲインは、入力される信号の周波数が低いほど高いので、本実施の形態では、ソースインダクタ 221 の値は、入力される信号の周波数が高い方の FET のゲインを適切値に確保するように決定される。

【 0 1 0 0 】

従って、本実施の形態では、ソースインダクタ 221 の配置により、第 1 及び第 2 の FET 201、202 のゲインを良好に確保しながら、前記第 5 の実施の形態よりも 2 個の FET 201、202 の安定係数を向上させて、これ等 FET 201、202 において低い雑音指数と優れた入力リターンロスとの両立を図ることが可能である。

【 0 1 0 1 】

図 1 1 は本実施の形態の第 1 の変形例を示す。この変形例は、前記第 5 の実施の形態の第 2 の変形例の LNA ブロック (図 8 参照) において、ソースインダクタ 1 221 を接地キャパシタ 211 と直列に接続し、この直列回路を定電流源 1 115 に並列に接続したものである。また、図 1 2 及び図 1 3 は本実施の形態の第 2 及び第 3 の変形例を示す。前記第 2 の変形例は、図 1 0 に示した本実施の形態の LNA ブロックにおいて、ソースインダクタ 1 221 の配置位置を変更し、第 2 の FET 2 202 のソースと定電流源 1 115 との間にソースインダクタ 1 221 を配置して、定電流源 1

115には接地キャパシタ211のみを並列に接続したものである。また、前記第3の変形例は、本実施の形態の前記第1の変形例のLNAブロック（図11）において、ソースインダクタ1221の配置位置を前記第2の変形例と同様に変更したものである。これ等第2及び第3の変形例では、本実施の形態と同様の効果を奏する。

【0102】

尚、本実施の形態及び前記第2及び第3の変形例では、LNAブロックに対してソースインダクタを配置した場合を例示したが、その他、D-mixブロック等に対しても同様にソースインダクタを配置しても良いのは勿論である。

【0103】

（第7の実施の形態）

図14は、本発明の第7の実施の形態に係るLNAブロックの構成を示す。本実施の形態では、前記第6の実施の形態のソースインダクタ221を分割して、2個のFET別に設けたものである。

【0104】

本実施の形態では、第1のFET1201に入力される信号の周波数 f_{RX1} と、第2のFET2202に入力される信号の周波数 f_{RX2} とでは、 $f_{RX1} < f_{RX2}$ の関係があるとして説明する。図14において、第1のFET1201のソースには、ソースインダクタ222の一端が接続され、その他端は第2のFET2202のソースに接続される。第2のFET2202のソースには、他のソースインダクタ1221と接地キャパシタ211との直列回路と定電流源115とが並列に接続される。

【0105】

従って、本実施の形態では、第1のFET1201に対しては、2個のソースインダクタ221、222の値の和がソースインダクタの値となり、第2のFET2202に対しては、ソースインダクタ1221の値がソースインダクタの値となる。即ち、低周波数 f_{RX1} の信号が入力される第1のFET1201では、ソースインダクタの値は大きく、高周波数 f_{RX2} の信号が入力される第2のFET2202では、ソースインダクタの値は小さく設定される。FETのゲインは、第6の実施の形態で既述した通り、入力される信号の周波数が低いほど高いので、前記構成により、2つのFET201、202

のゲインをほぼ同程度の値としながら、これ等FET201、202のソースインダクタの値を相互に異ならせて、各FET201、202毎に低い雑音指数と優れた入力リターンロスとが実現できる。

【0106】

尚、本実施の形態では、第1及び第2のFET 201、202に入力される信号の周波数の関係が $f_{RX1} < f_{RX2}$ であるとしたが、逆に、 $f_{RX1} > f_{RX2}$ の関係がある場合には、ソースインダクタ2 221の配置位置を変更して、第2のFET2 202のソースと定電流源1 115との間に配置すれば良いのは言うまでもない。

【0107】

図15は、本実施の形態の変形例を示す。この変形例は、本実施の形態の第1のソースインダクタ1 221の配置位置を変更し、このソースインダクタ1 221を第2のFET2 202のソースと定電流源1 115との間に配置し、定電流源1 115には接地キャパシタ221のみを並列に配置したものである。本変形例も本実施の形態と同様の効果を奏する。

【0108】

(第8の実施の形態)

図16は、本発明の第8の実施の形態に係るLNAブロックの構成を示す。本実施の形態は、前記第1の実施の形態の電源SW114を配置せず、その機能を定電流源2 116に持たせたものである。

【0109】

即ち、図16において、電源SWは配置されない。また、定電流源2 116は、制御端子1161を有し、この制御端子1161の電位は、信号の送信時にはLowとされ、信号の受信時にはHighとされる。定電流源2 116は、前記制御端子1161の電位がLowのときには、出力電流値は"0"となり、制御端子1161の電位がHighのときには定電流値I1となる。この制御端子付き定電流源2 116は、2個のLNA 111、112共に1つのパッケージに封止されて、1つの素子117'を構成する。

【0110】

従って、本実施の形態によれば、前記第1の実施の形態に比べて、電源SW 114が不要であって、電源SWを全く必要とせず、1個の素子117'のみでLNAブロック

を構成できる特殊の効果を奏する。

【0 1 1 1】

図 1 7 は、本実施の形態の第 1 の変形例を示す。本変形例では、前記第 4 の実施の形態の変形例に対して、電源 SW 1214 を設けず、定電流源 1 125 を前記制御端子 1261 付きの定電流源 2 126 としたものである。

【0 1 1 2】

図 1 8 から図 2 9 は、本実施の形態の第 2 から第 1 3 の変形例を示す。これ等の変形例は、既述した図 4 から図 1 5 の各々に対して、電源 SW を設けず、定電流源を制御端子 1161 付きの定電流源 2 116 又は制御端子 1261 付きの定電流源 2 126 により構成したものである。従って、本実施の形態と同様に、1 個の素子のみで LN A ブロック又は D-mix ブロックを構成できる特殊の効果を奏する。

【0 1 1 3】

前記制御端子 1161 付きの定電流源 2 116 又は制御端子 1261 付きの定電流源 2 126 の具体的構成の一例としては、図 2 0 (b) に示す構成が挙げられる。同図 (b) では、前記図 6 (b) に示した定電流源 1 115 の具体的構成において、FET 301 のゲート端子を制御端子 1161 としている。この定電流源 2 116 では、制御端子 1161 の電位を Low (0v) とした場合に電流値が "0" となり、制御端子 1161 の電位を High とした場合に定電流値 I1 となる必要がある。従って、定電流源 2 116 を構成する FET 301 は、ゲート電圧が "0" v の時に電流値が "0" となるエンハンスメント型の FET で構成される。この場合、第 1 の FET 1 201 と第 2 の FET 2 202 とは、異なるしきい値電圧 V_{th} に設定されることがある。

【0 1 1 4】

【発明の効果】

以上説明したように、請求項 1 ないし請求項 2 0 記載の発明の半導体装置及び請求項 3 2 記載の発明の通信装置によれば、複数の半導体素子及び定電流源を 1 個の素子としてパッケージ可能であるので、部品点数を削減して、携帯端末の小型化が実現可能である。

【0 1 1 5】

また、請求項 2 1 記載の発明の半導体装置によれば、複数の半導体素子の出力

端子を相互に共用化したので、パッケージ化される素子の端子数を 1 個低減できる。

【0116】

更に、請求項 22 及び請求項 23 記載の発明の半導体装置によれば、接地キャパシタによって、電界効果トランジスタのソース端子を高周波的には接地し、DC 的にはオープンにして、高周波特性を向上させることができる。

【0117】

加えて、請求項 24 から請求項 26 記載の発明の半導体装置によれば、ソースインダクタにより、電界効果トランジスタのゲインを良好に確保しながら、その電界効果トランジスタの安定係数を向上させて、これ等電界効果トランジスタでの低い雑音指数と優れた入力リターンロスとの両立を図ることが可能である効果を奏する。

【0118】

また、請求項 27 及び請求項 28 記載の発明の半導体装置によれば、備える電界効果トランジスタ別にソースインダクタを配置したので、これ等電界効果トランジスタ毎に低い雑音指数と優れた入力リターンロスとを実現できる。

【0119】

更に、請求項 29 から請求項 31 記載の発明の半導体装置によれば、電源 SW を全く不要として、1 個の素子のみで半導体ブロックを構成するので、より一層に部品点数を削減して、携帯端末の小型化が実現可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のデュアルバンド携帯電話の LNA ブロックの構成を示す図である。

【図 2】

(a) は本発明の第 2 の実施の形態のデュアルバンド携帯電話の LNA ブロックの構成を示す図、(b) はこの LNA ブロックに備える 2 つの制御端子の電位の組合せに応じた 3 個の LNA の動作状態を説明した図である。

【図 3】

本発明の第 3 の実施の形態のデュアルバンド携帯電話のD-mixブロックの構成の構成を示す図である。

【図 4】

本発明の第 4 の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

【図 5】

同実施の形態の変形例を示す図である。

【図 6】

(a)は本発明の第 5 の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図、(b)は定電流源の具体例を示す図である。

【図 7】

同実施の形態の第 1 の変形例を示す図である。

【図 8】

同実施の形態の第 2 の変形例を示す図である。

【図 9】

同実施の形態の第 3 の変形例を示す図である。

【図 1 0】

本発明の第 6 の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

【図 1 1】

同実施の形態の第 1 の変形例を示す図である。

【図 1 2】

同実施の形態の第 2 の変形例を示す図である。

【図 1 3】

同実施の形態の第 3 の変形例を示す図である。

【図 1 4】

本発明の第 7 の実施の形態のデュアルバンド携帯電話のLNAブロックの構成を示す図である。

【図 1 5】

同実施の形態の変形例を示す図である。

【図 1 6】

本発明の第 8 の実施の形態のデュアルバンド携帯電話の LNA ブロックの構成を示す図である。

【図 1 7】

同実施の形態の第 1 の変形例を示す図である。

【図 1 8】

同実施の形態の第 2 の変形例を示す図である。

【図 1 9】

同実施の形態の第 3 の変形例を示す図である。

【図 2 0】

(a) は同実施の形態の第 4 の変形例を示す図、(b) は制御端子付き定電流源の具体例を示す図である。

【図 2 1】

同実施の形態の第 5 の変形例を示す図である。

【図 2 2】

同実施の形態の第 6 の変形例を示す図である。

【図 2 3】

同実施の形態の第 7 の変形例を示す図である。

【図 2 4】

同実施の形態の第 8 の変形例を示す図である。

【図 2 5】

同実施の形態の第 9 の変形例を示す図である。

【図 2 6】

同実施の形態の第 1 0 の変形例を示す図である。

【図 2 7】

同実施の形態の第 1 1 の変形例を示す図である。

【図 2 8】

同実施の形態の第 1 2 の変形例を示す図である。

【図 29】

同実施の形態の第 13 の変形例を示す図である。

【図 30】

デジタル変調方式の電力増幅器の歪みを規定する隣接チャネル漏洩電力の説明図である。

【図 31】

LNAブロックに備える 2 個の低雑音増幅器間で出力端子が共用できる場合の条件を示す周波数-出力側リターンロス特性を示す図である。

【図 32】

従来のデュアルバンド携帯電話の高周波ブロックの一例を示す図である。

【図 33】

従来のデュアルバンド携帯電話のLNAブロックの一例を示す図である。

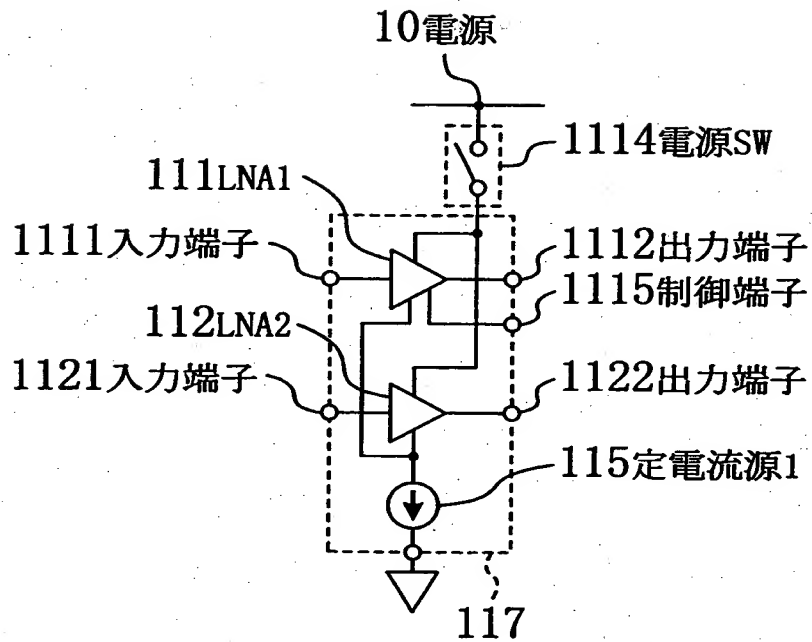
【符号の説明】

- 10 電源
- 101 アンテナ
- 102 アンテナスイッチ
- 111 第 1 の低雑音増幅器(LNA1)(半導体素子及び電力変換素子)
- 112 第 2 の低雑音増幅器(LNA2)(半導体素子及び電力変換素子)
- 113 第 3 の低雑音増幅器(LNA3)(半導体素子及び電力変換素子)
- 121 第 1 のダウンミキサ(D-Mix1)(半導体素子及び周波数変換素子)
- 122 第 1 のダウンミキサ(D-Mix2)(半導体素子及び周波数変換素子)
- 131 アップミキサ(U-Mix1)(半導体素子及び周波数変換素子)
- 132 アップミキサ(U-Mix2)(半導体素子及び周波数変換素子)
- 141 電力増幅器(PA1)(半導体素子及び電力変換素子)
- 142 電力増幅器(PA2)(半導体素子及び電力変換素子)
- 151 局部信号発生器(VC01)
- 152 局部信号発生器(VC02)
- 161 受信経路切替SW
- 162 送信経路切替SW

1111	LNA1の入力端子
1121	LNA2の入力端子
1112	LNA1の出力端子
1122	LNA2の出力端子
1115	LNA1の制御端子
1114	電源SW1
115	定電流源1
116	制御端子付き定電流源2
1161	定電流源2の制御端子
201	電界効果トランジスタ (FET1)
202	電界効果トランジスタ (FET2)
211	接地キャパシタ
221	ソースインダクタ1
222	ソースインダクタ2
1211	D-Mix1の入力端子
1221	D-Mix2の入力端子
1212	D-Mix1の出力端子
1222	D-Mix2の出力端子
1213	D-Mix1のL0端子
1223	D-Mix2のL0端子
1215	D-Mix1の制御端子
125	定電流源1
126	制御端子付き定電流源2
1261	定電流源2の制御端子
1214	電源SW
301	デュアルゲート型電界効果トランジスタ (FET1)
302	デュアルゲート型電界効果トランジスタ (FET2)

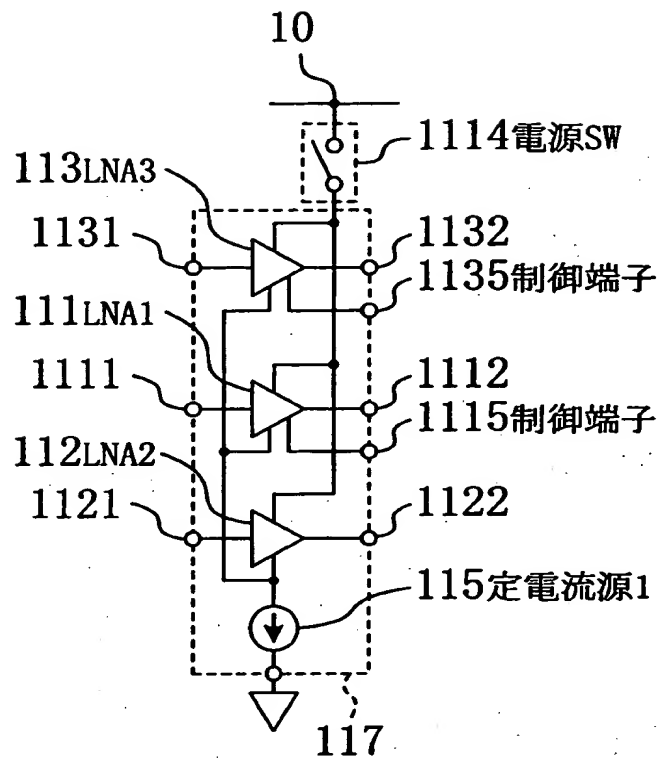
【書類名】 図面

【図 1】



【図 2】

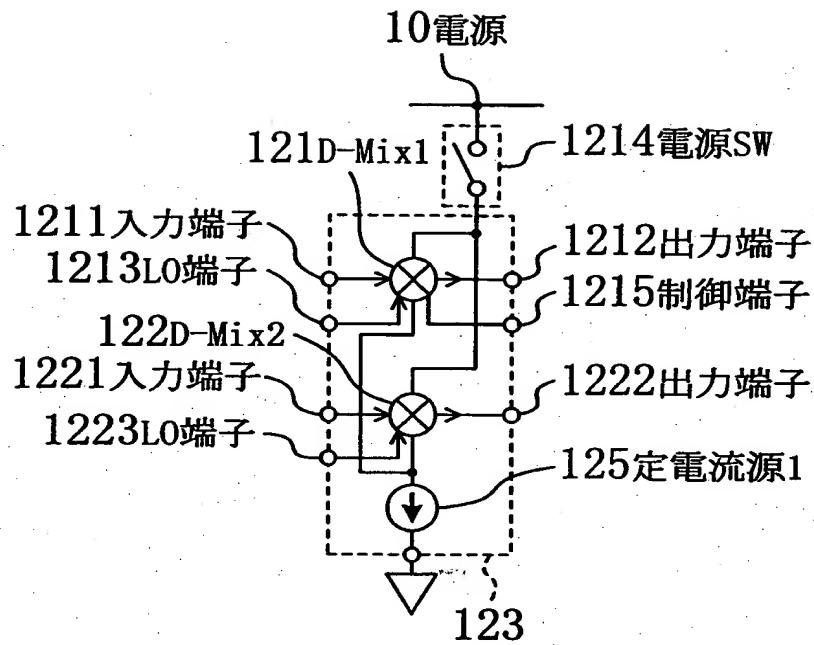
(a)



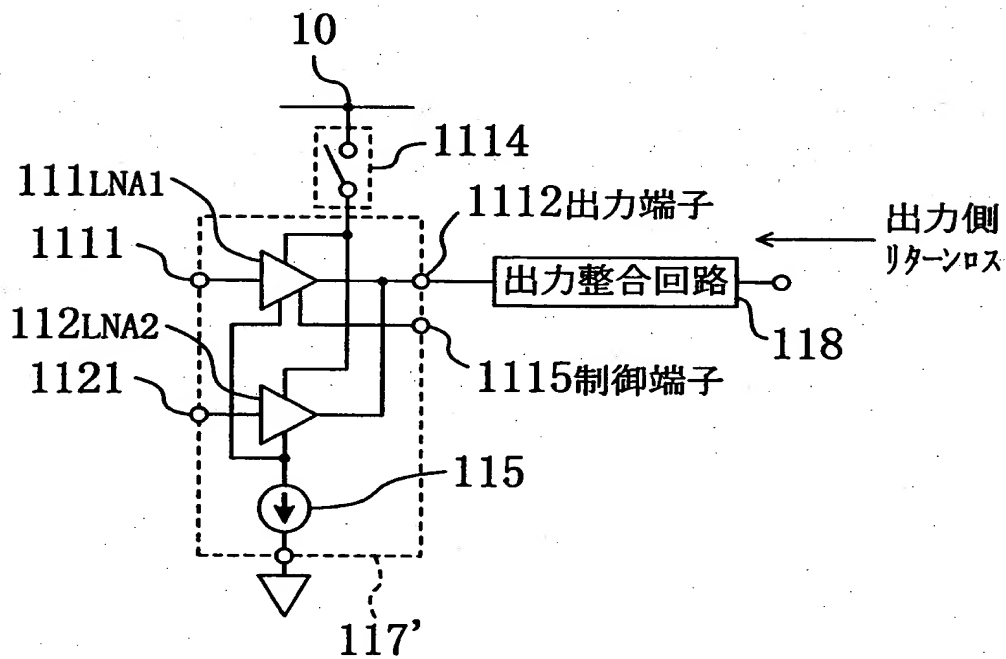
(b)

制御端子1115	制御端子1135	LNA1	LNA2	LNA3
HIGH	LOW	ON	OFF	OFF
LOW	HIGH	OFF	OFF	ON
LOW	LOW	OFF	ON	OFF

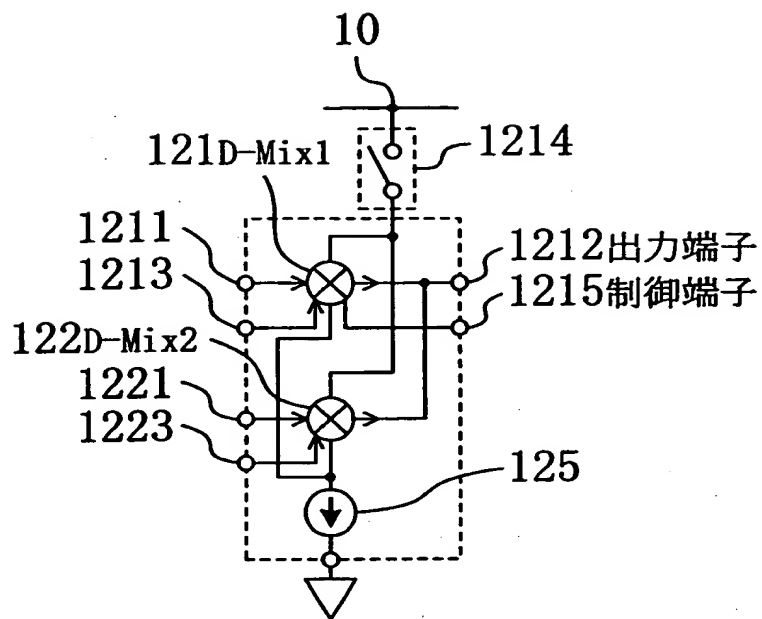
【図 3】



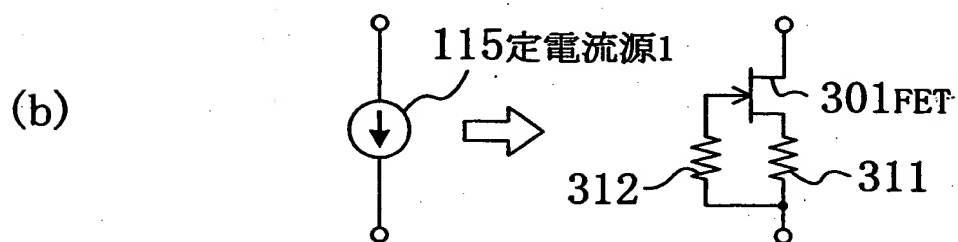
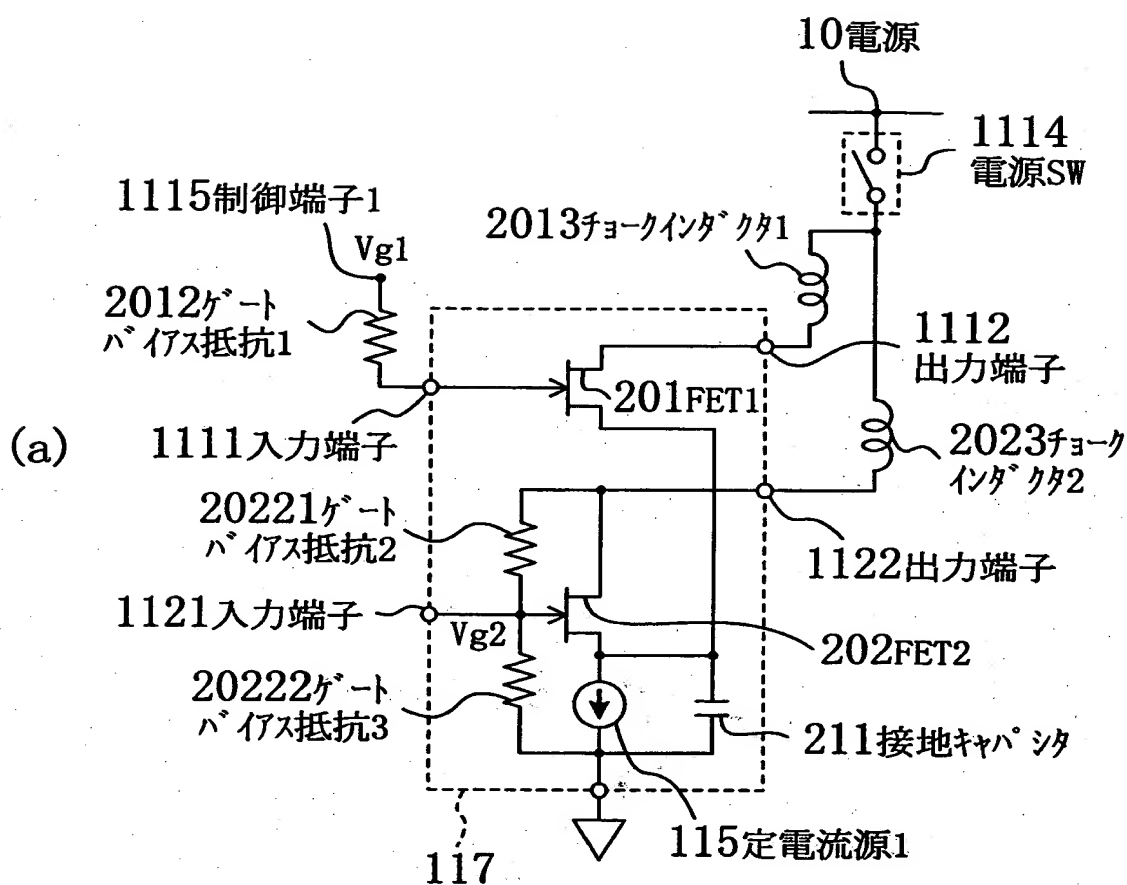
【図 4】



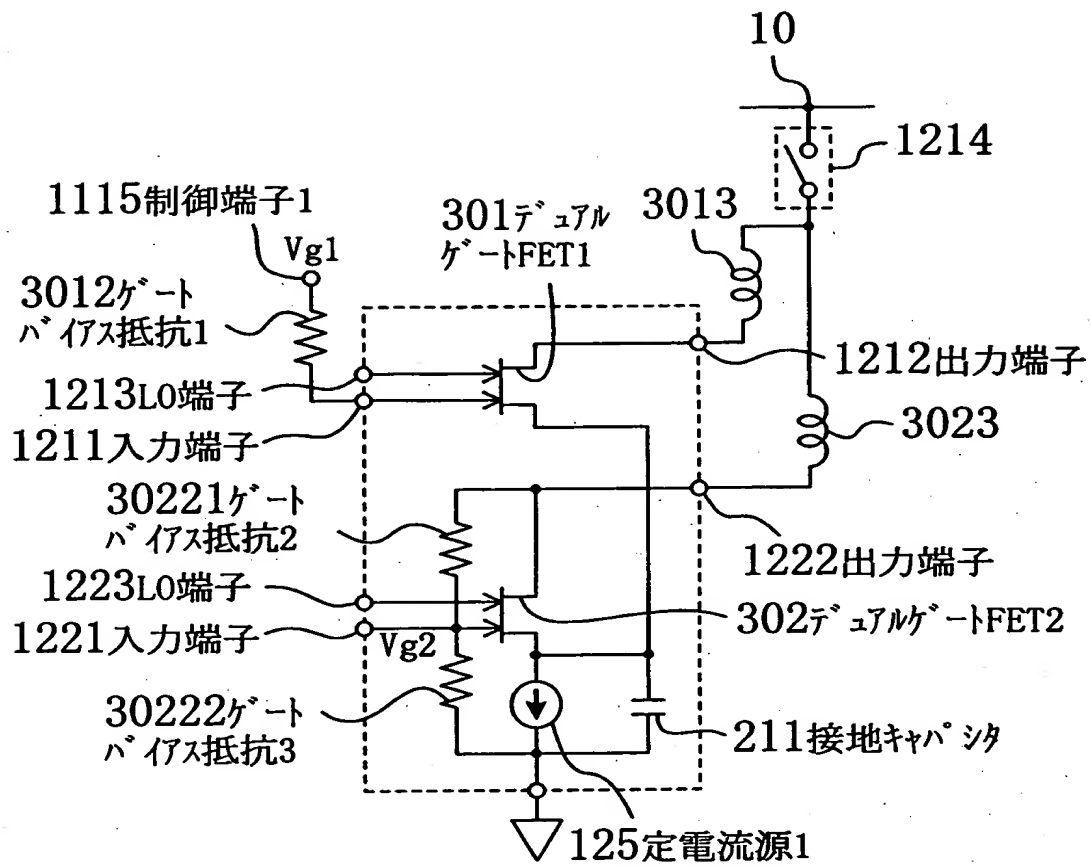
【図 5】



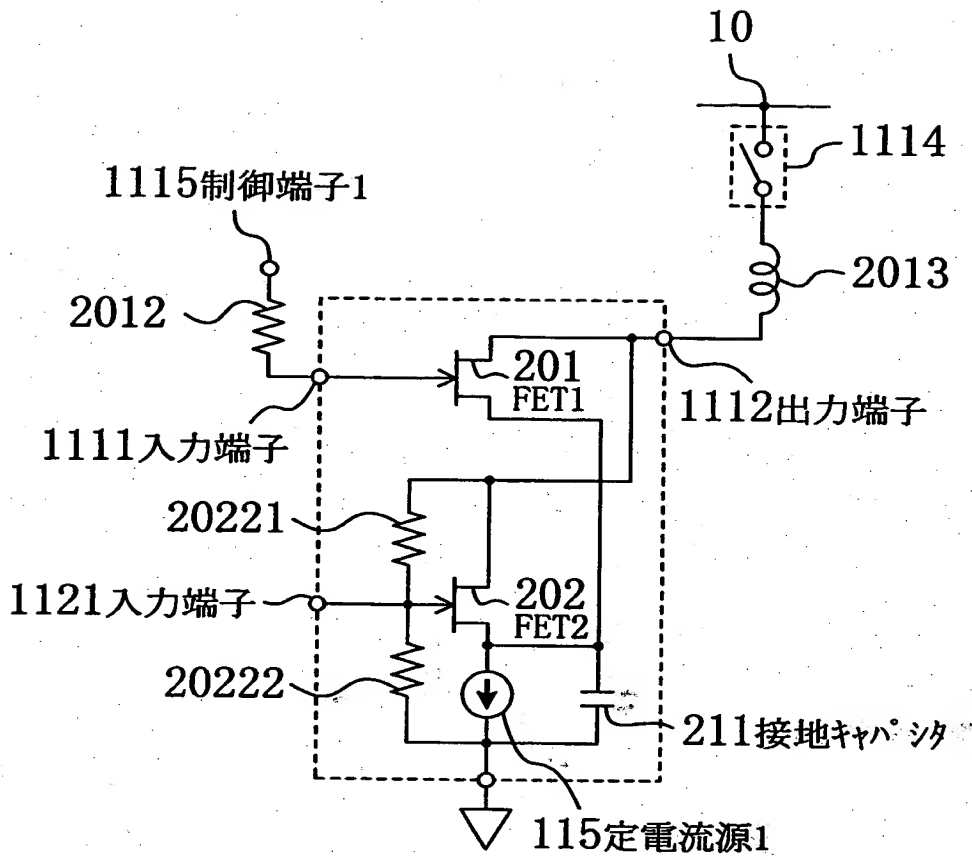
【図 6】



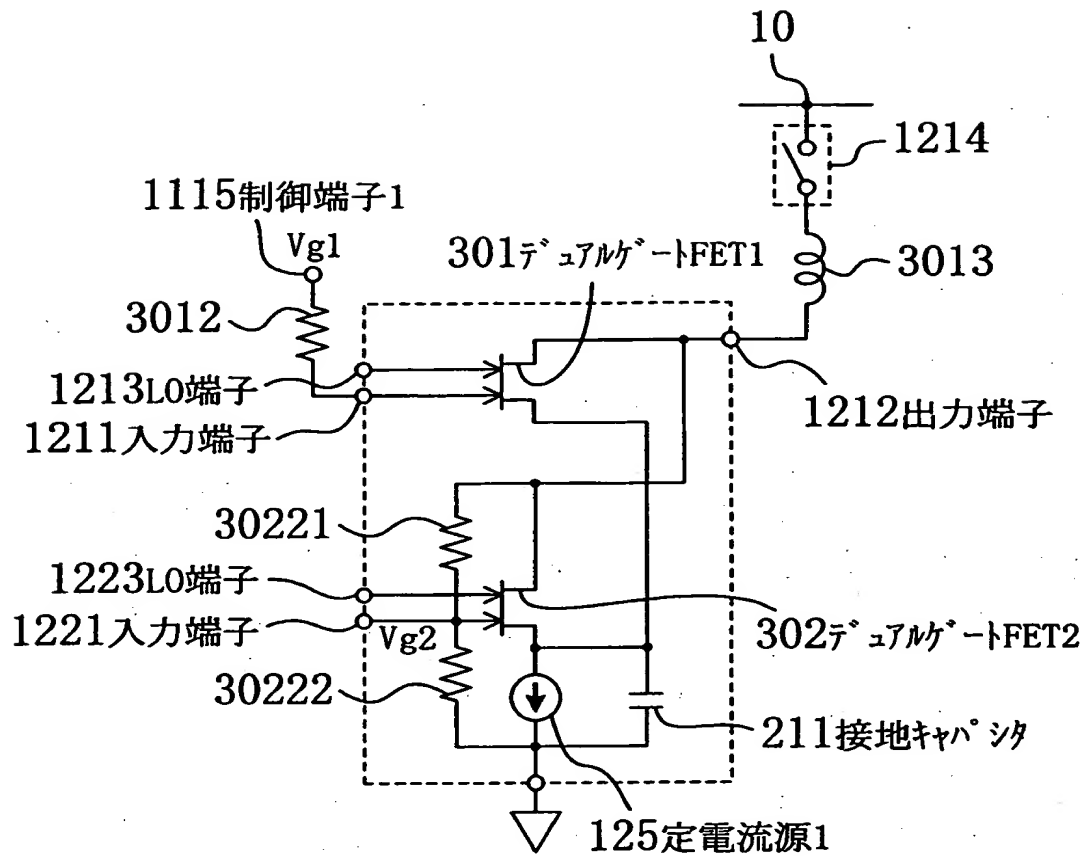
【図 7】



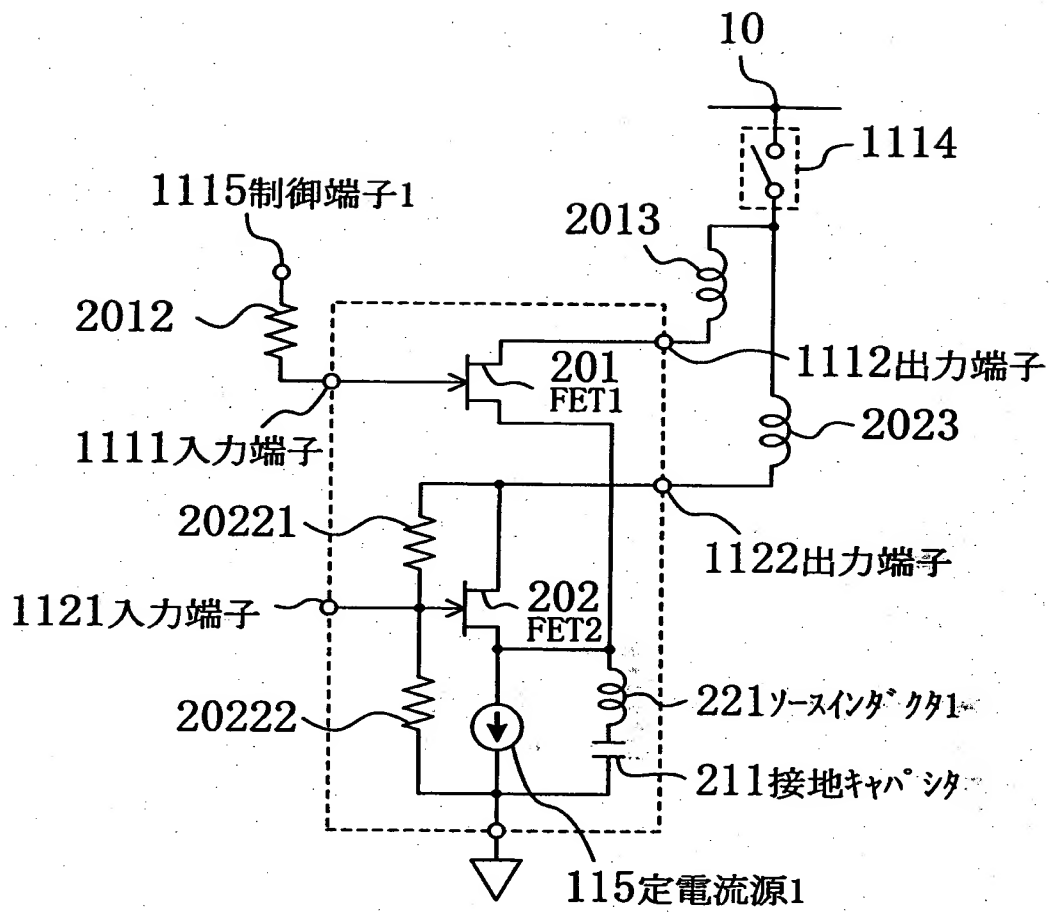
【図 8】



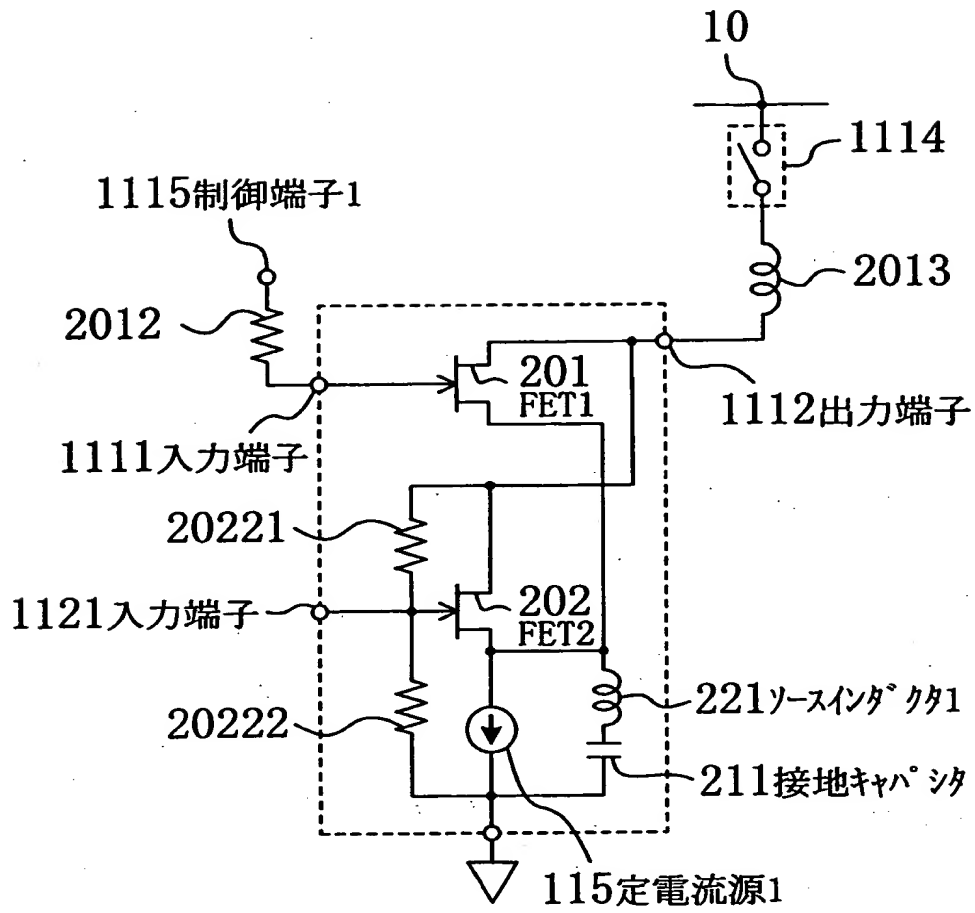
【図 9】



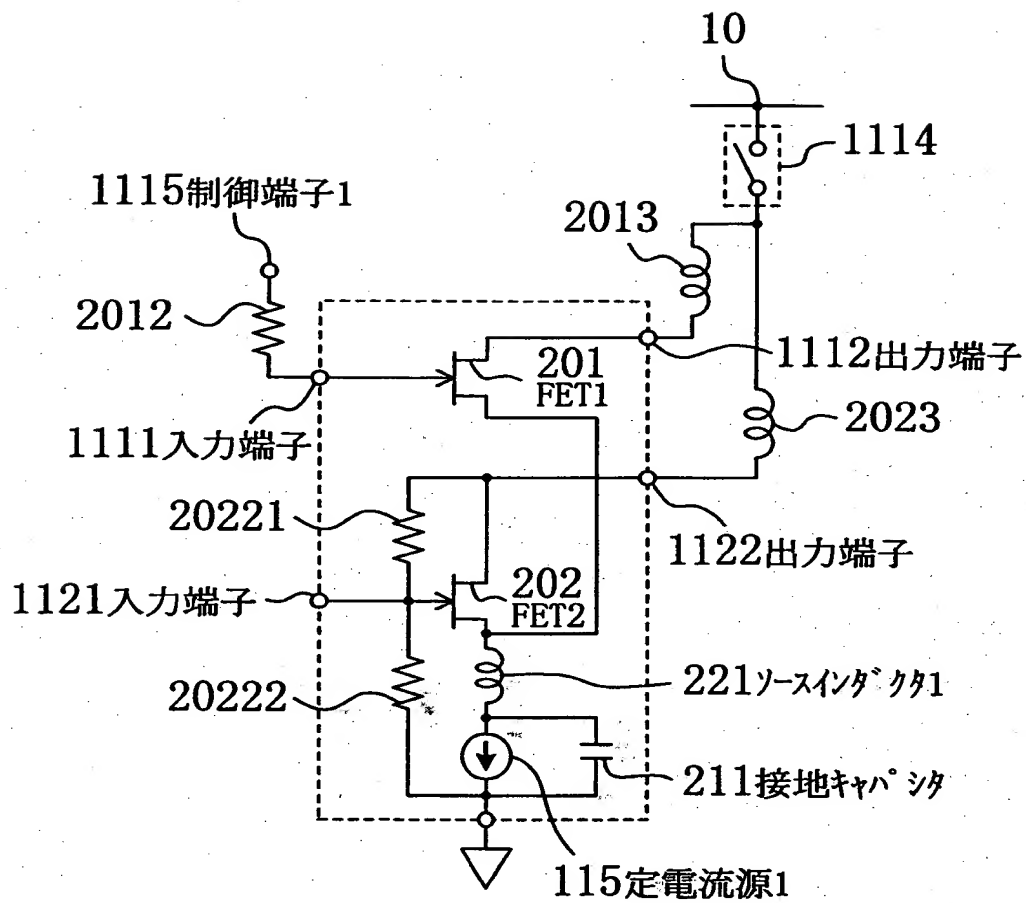
【図 10】



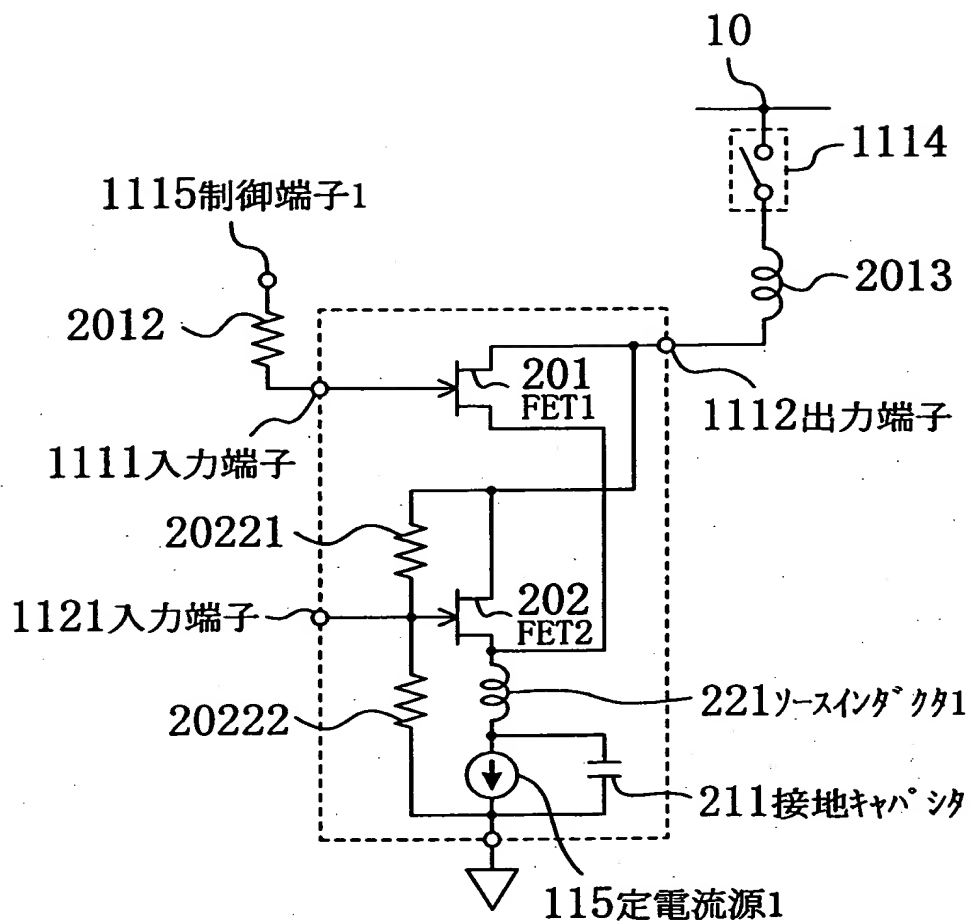
【図 1 1】



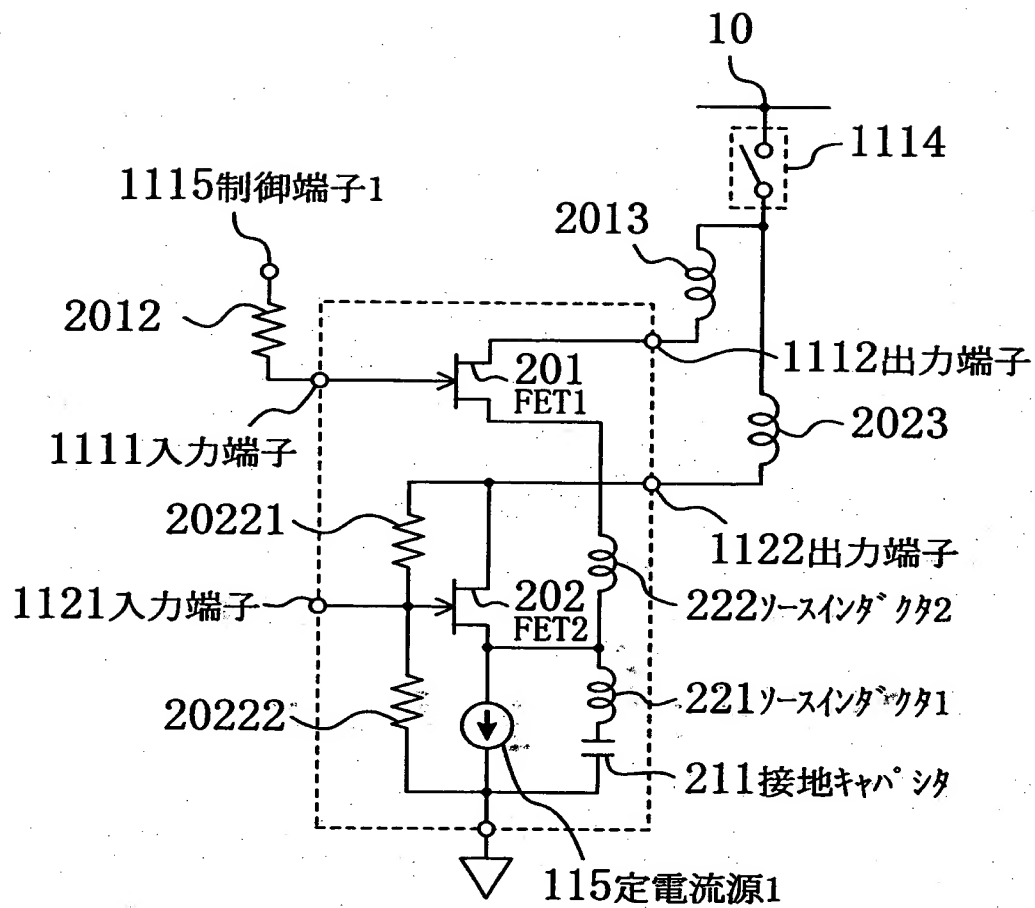
【図 1 2】



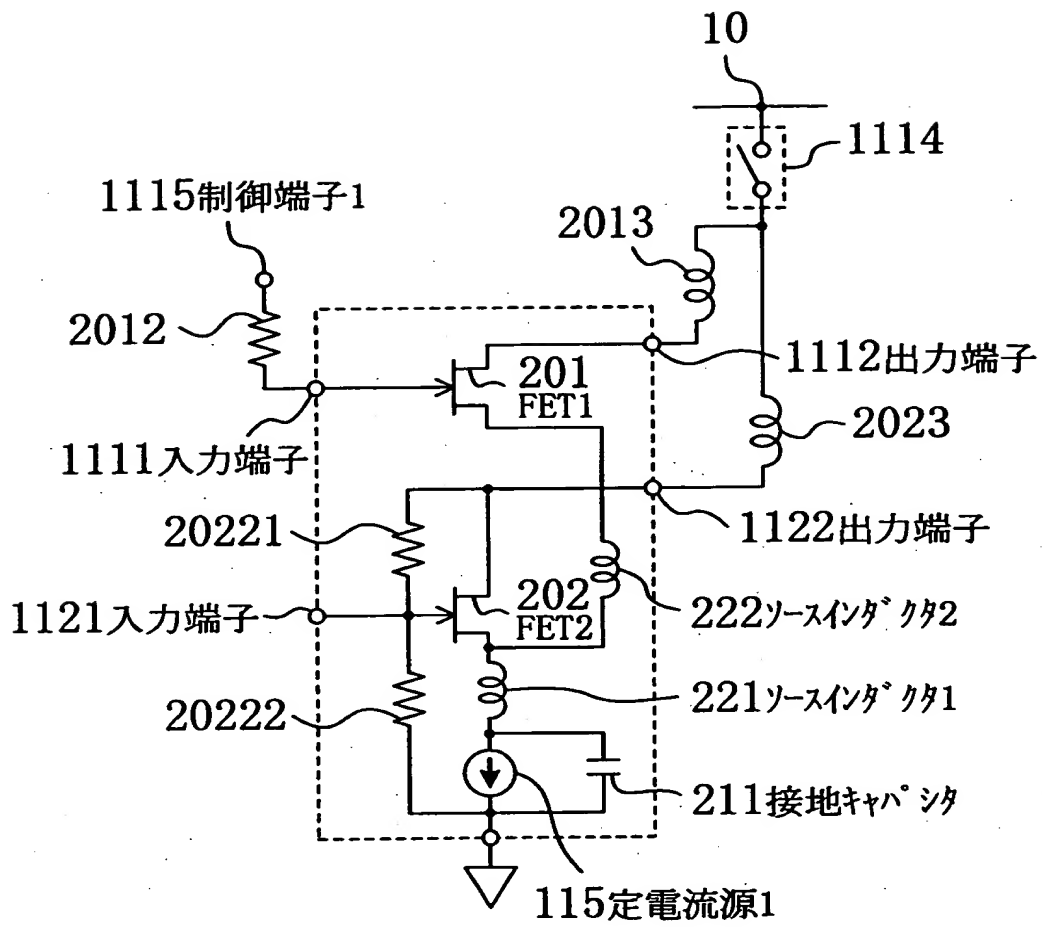
【図 1 3】



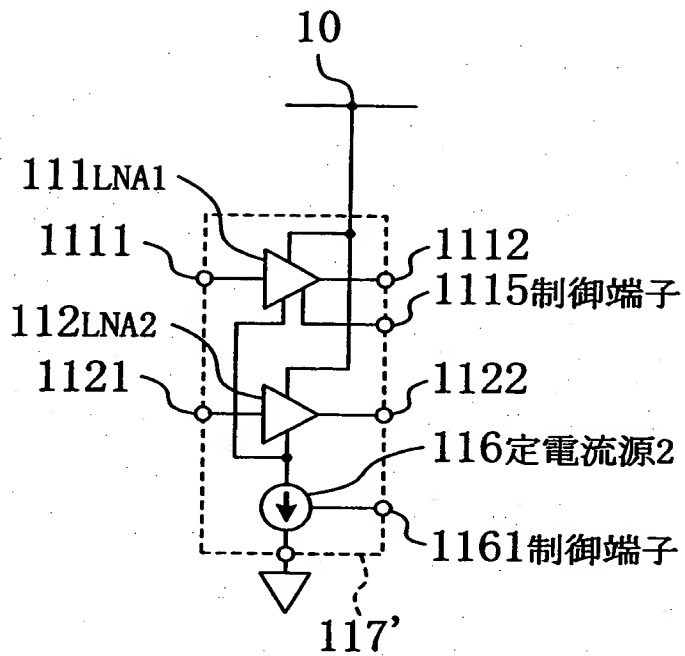
【図 1 4】



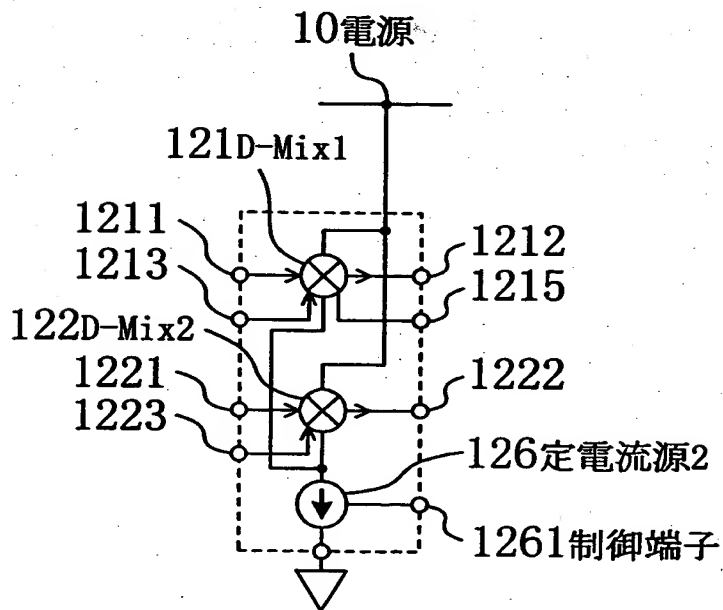
【図 1 5】



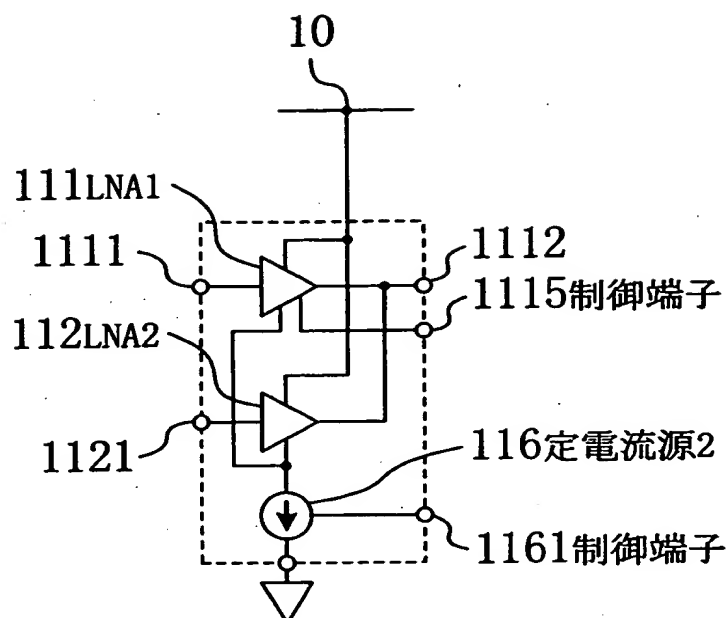
【図 16】



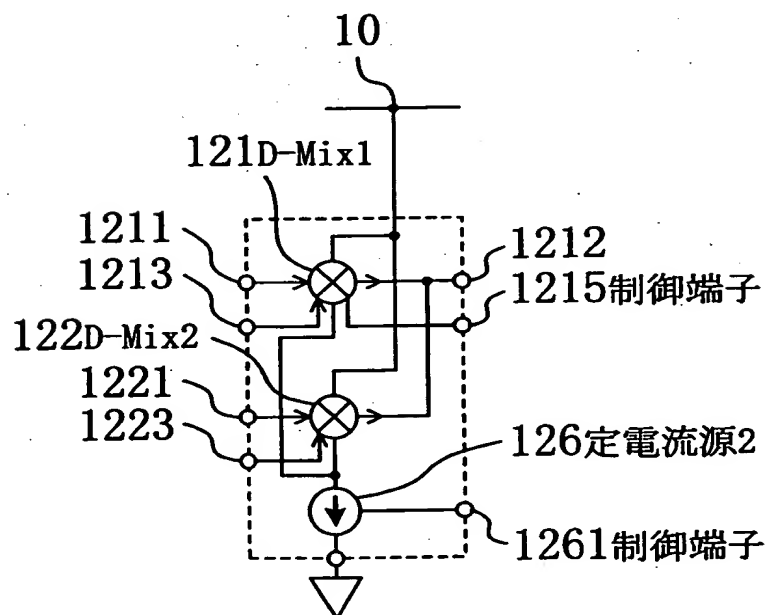
【図 17】



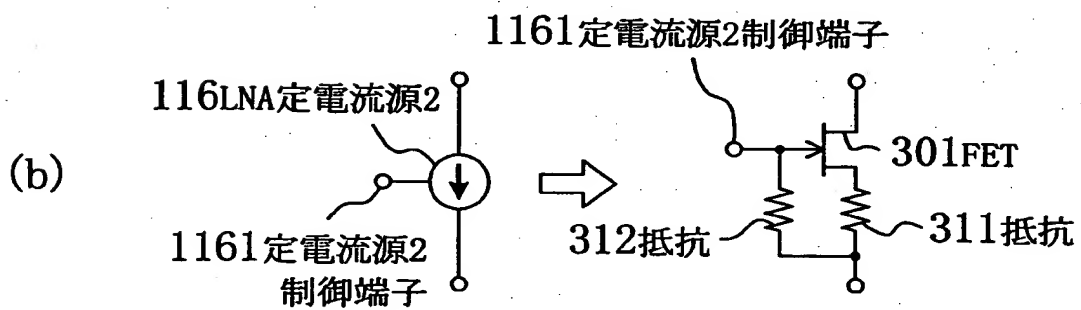
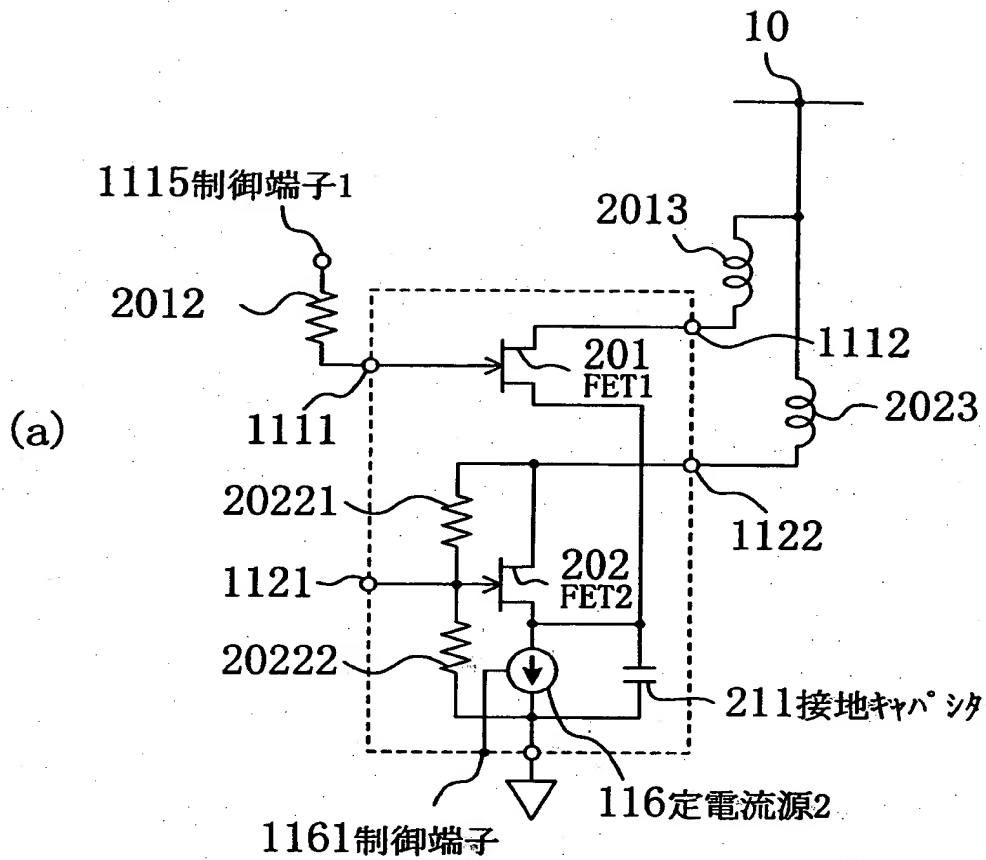
【図 1 8】



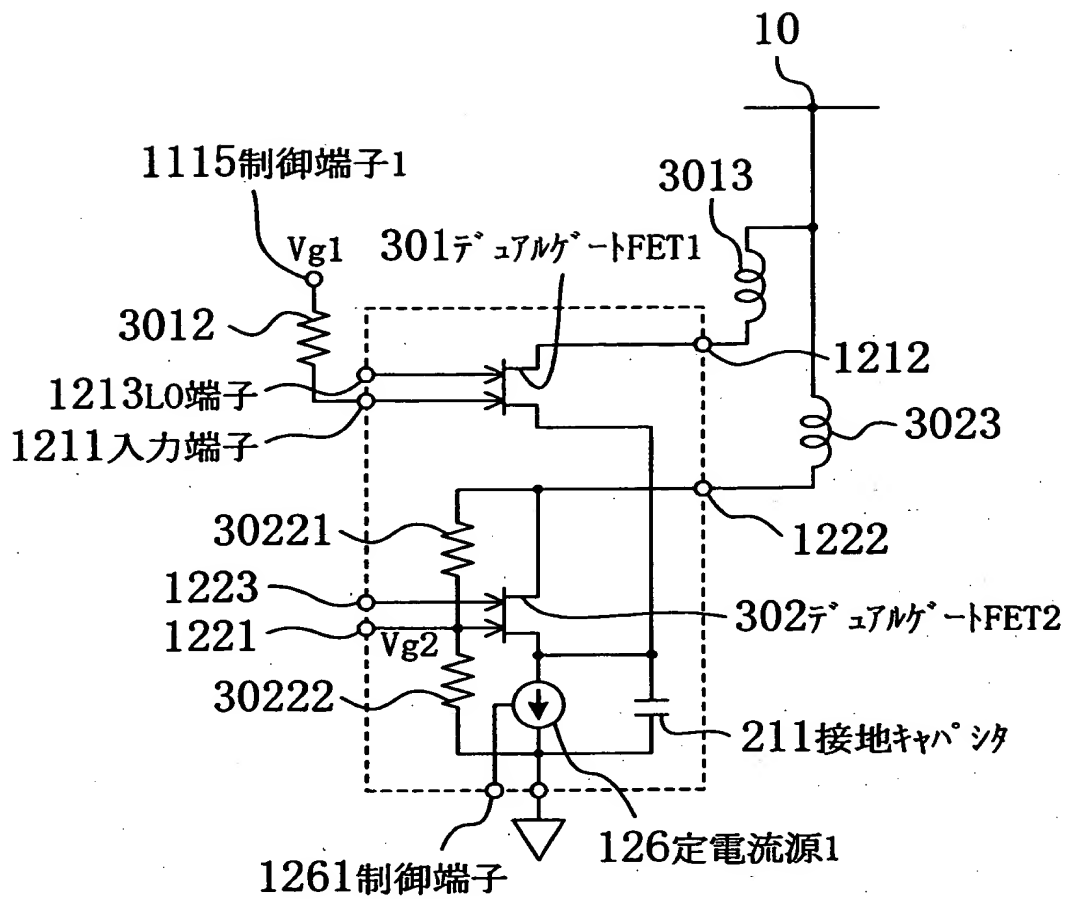
【図 1 9】



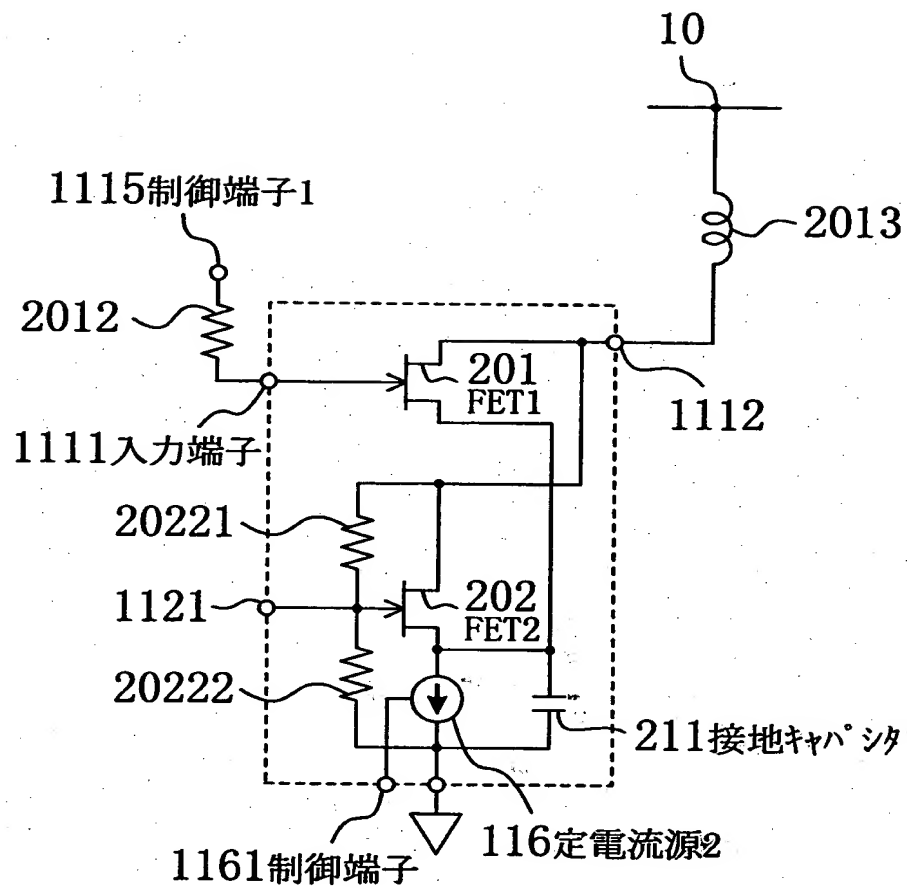
【図 2 0】



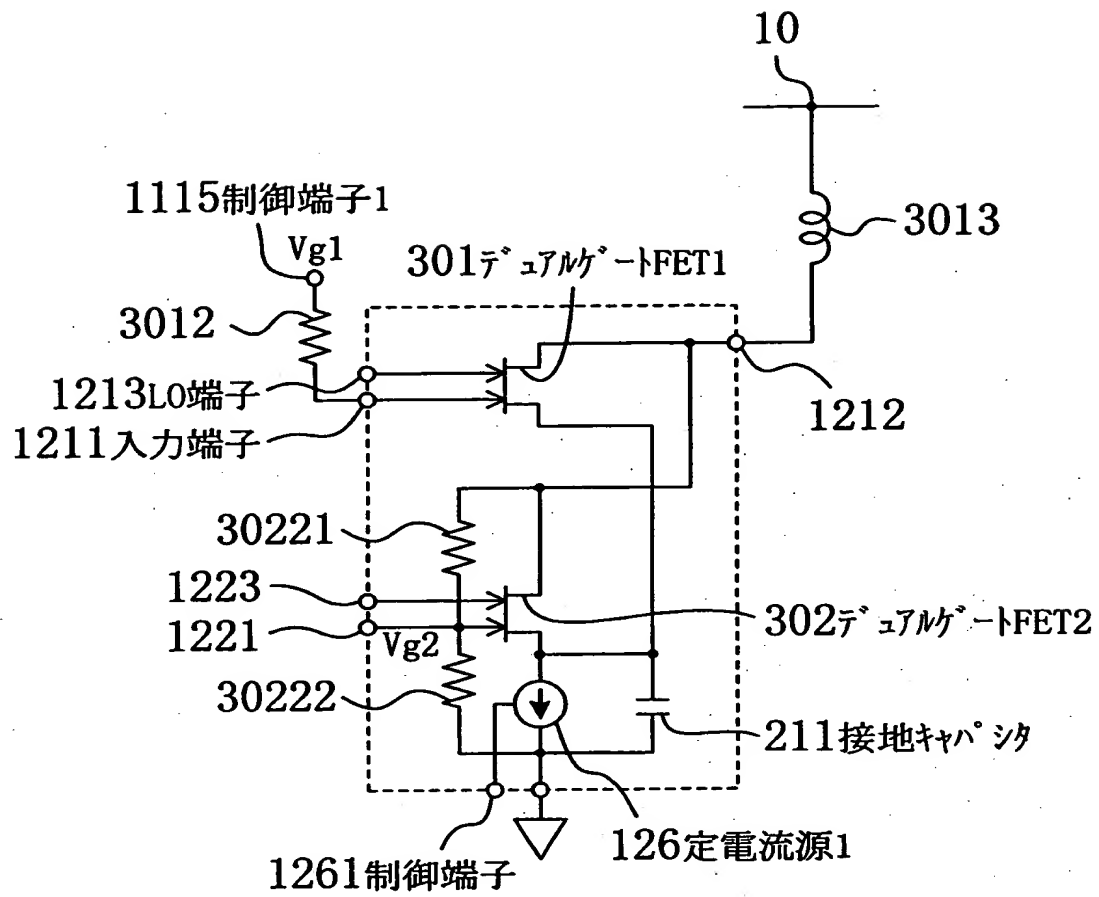
【図 2 1】



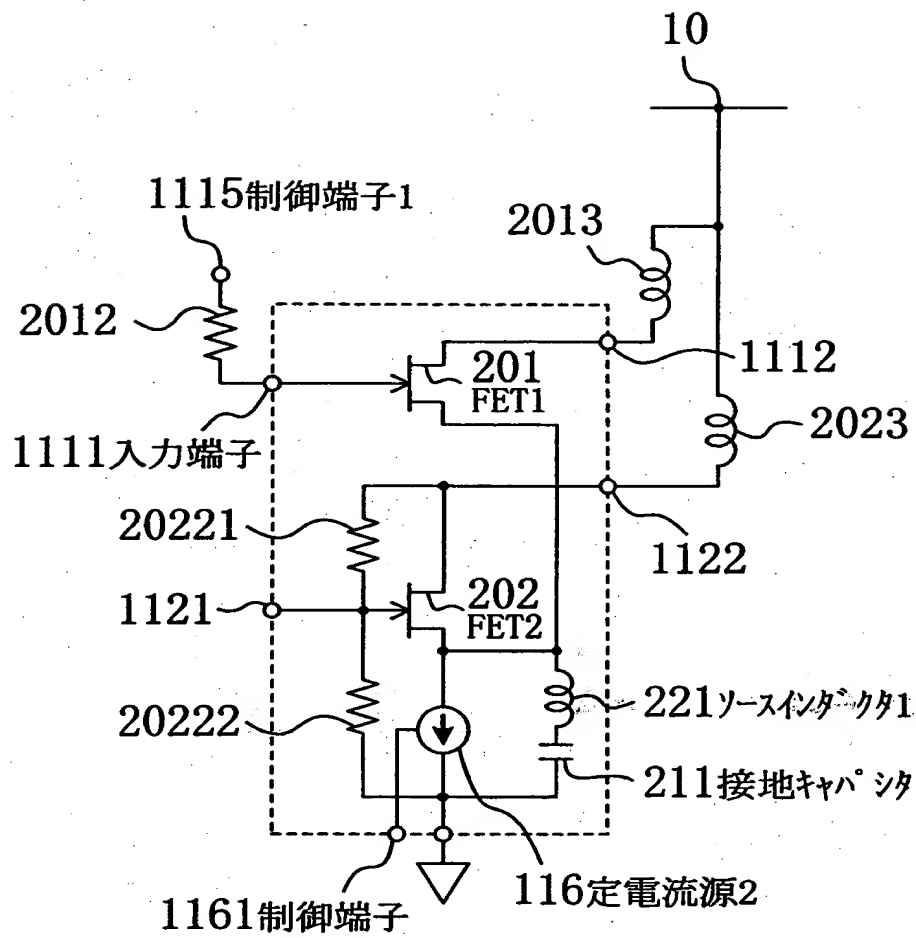
【図 2 2】



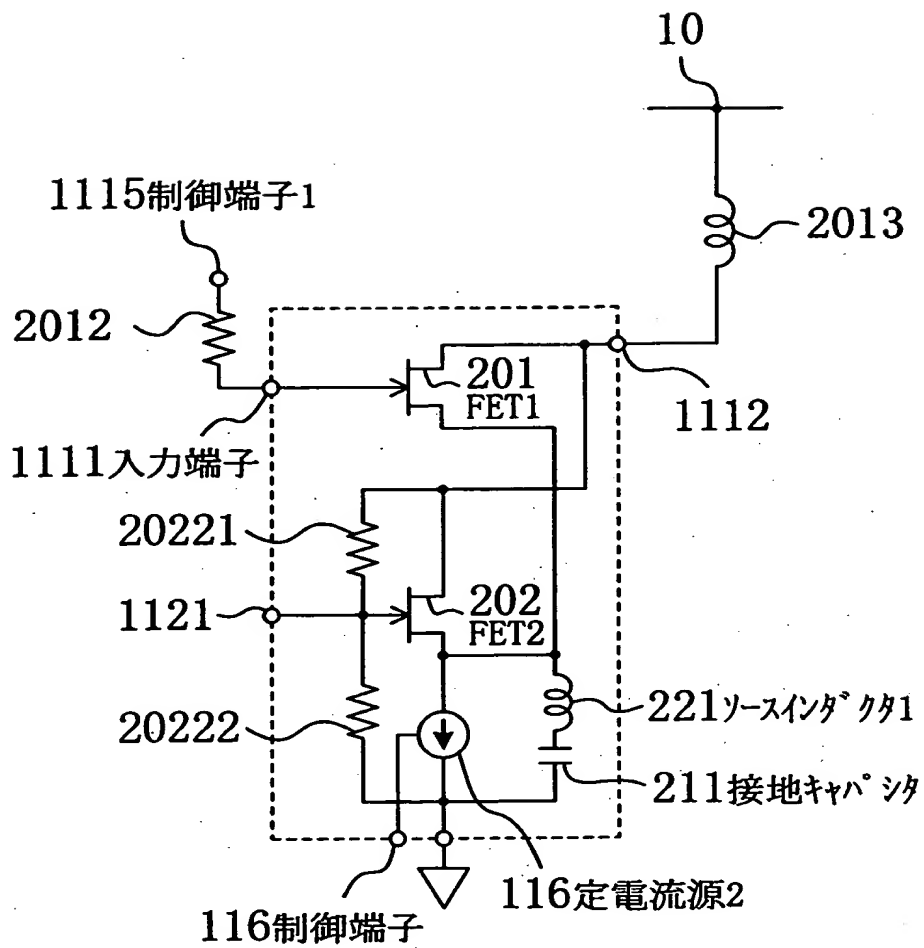
【図 2 3】



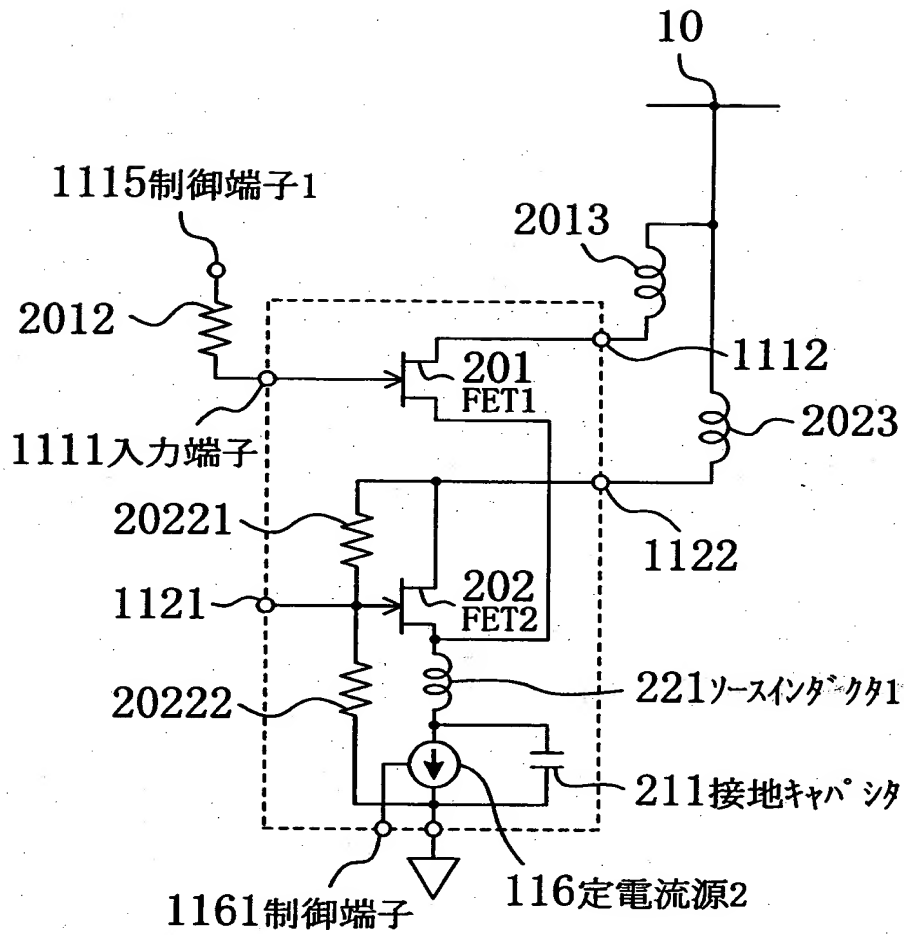
【図 24】



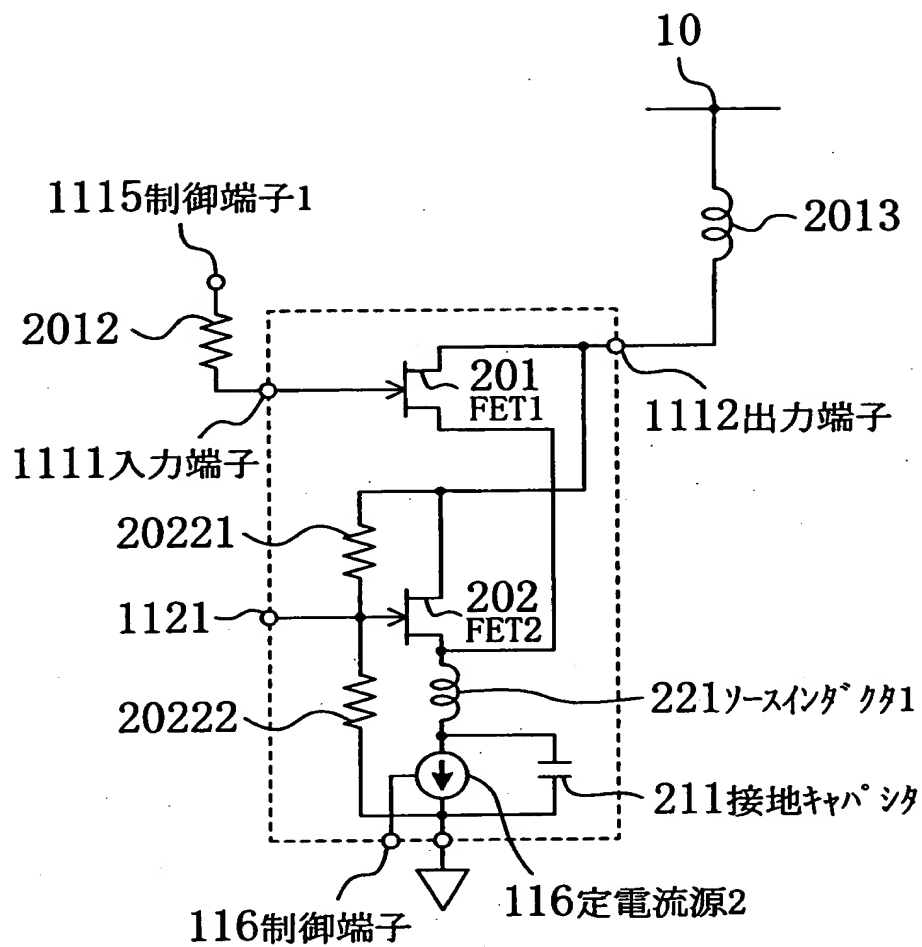
【図 25】



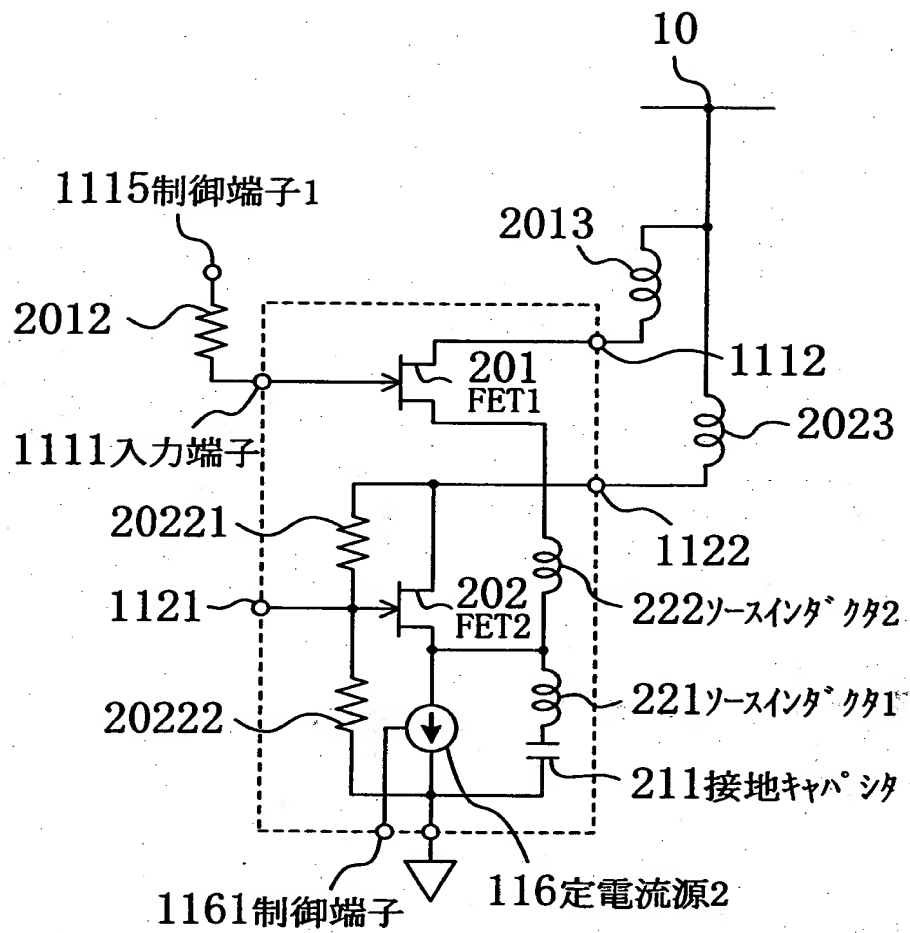
【図 2 6】



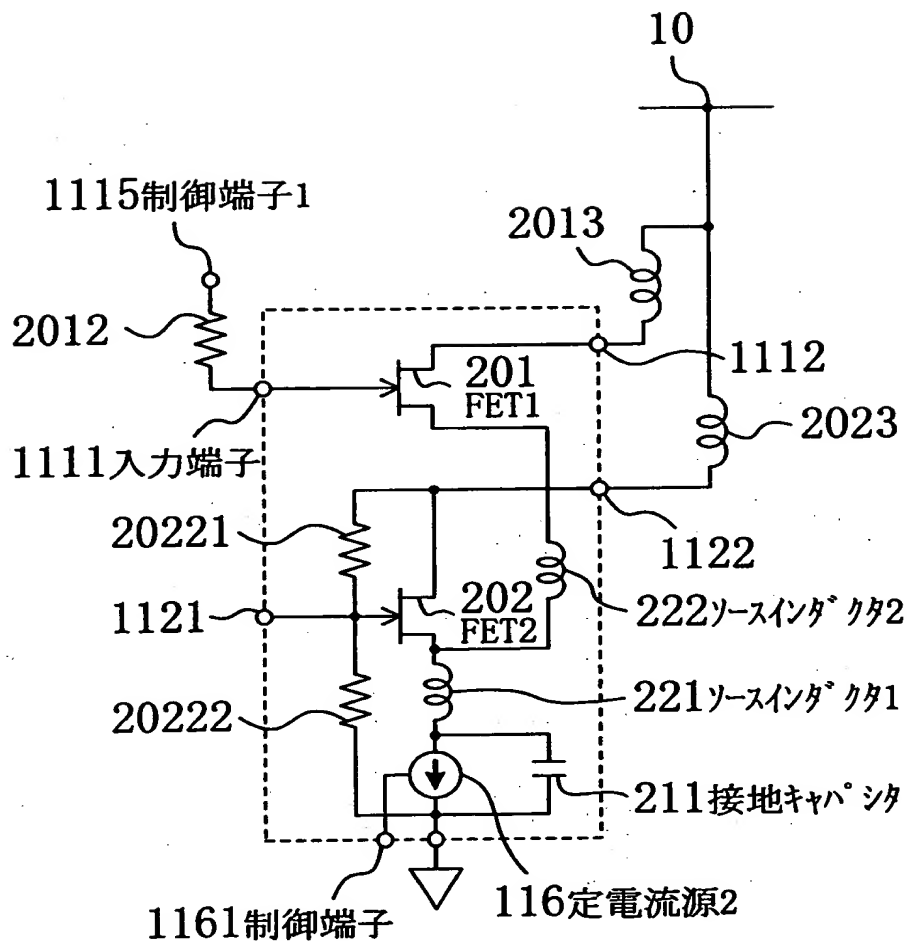
【図 2 7】



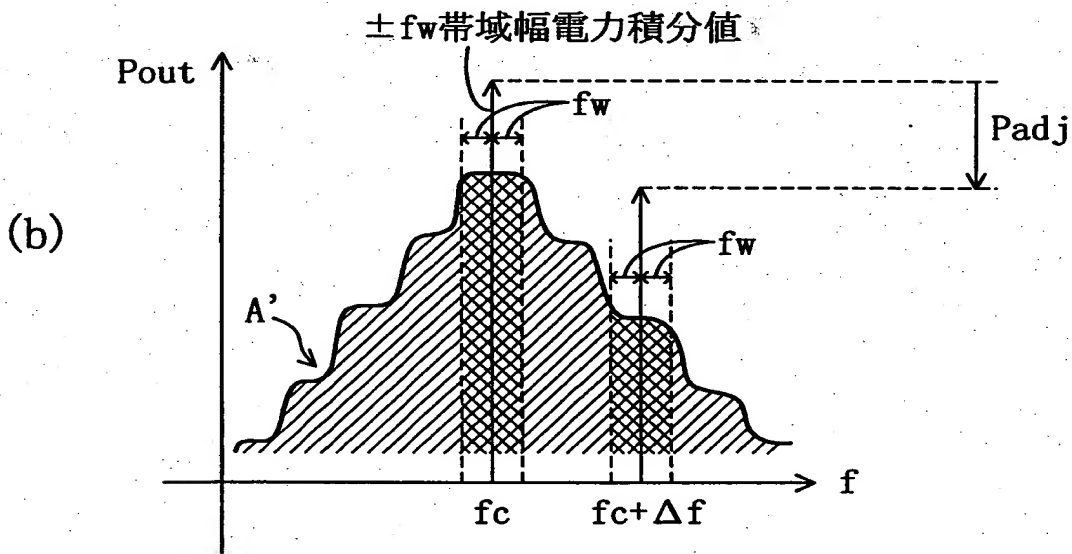
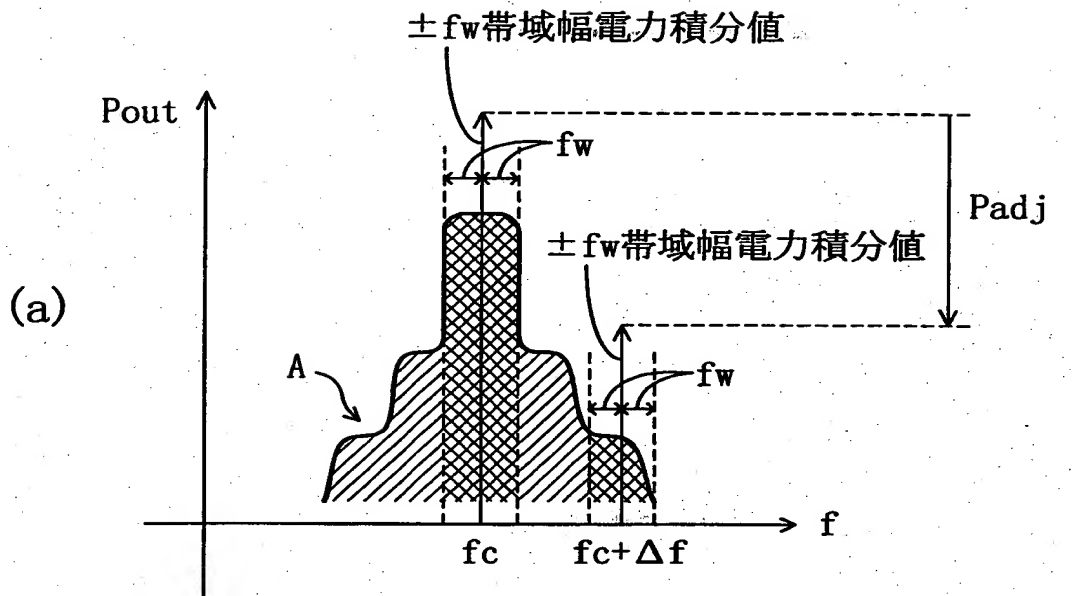
【図 28】



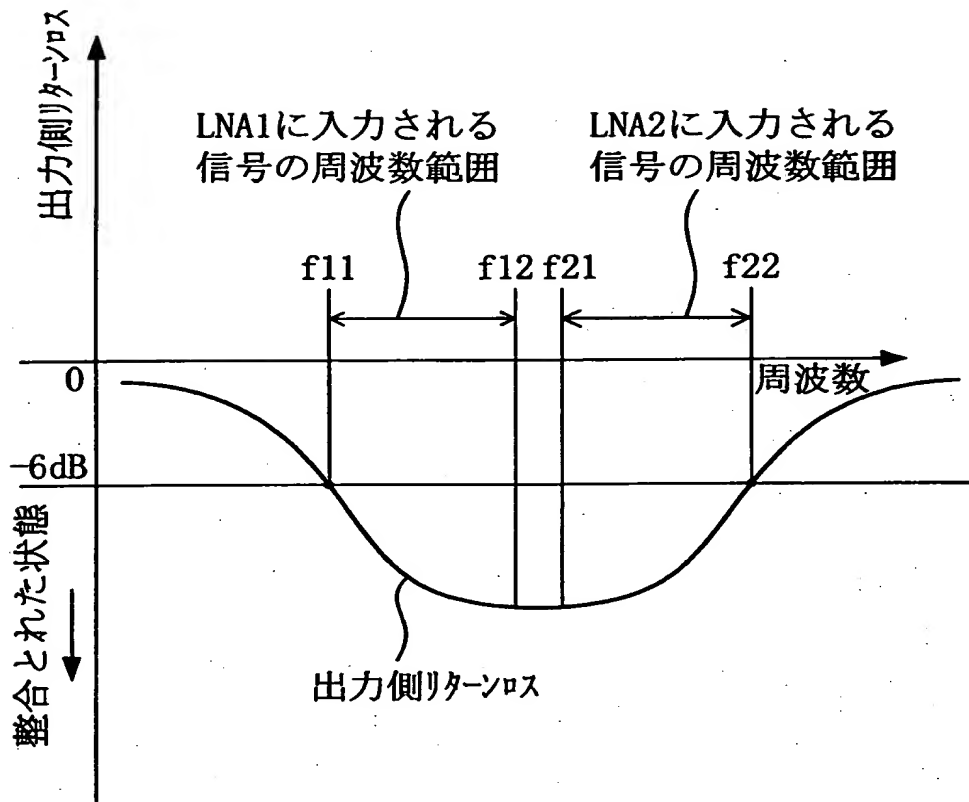
【図 2 9】



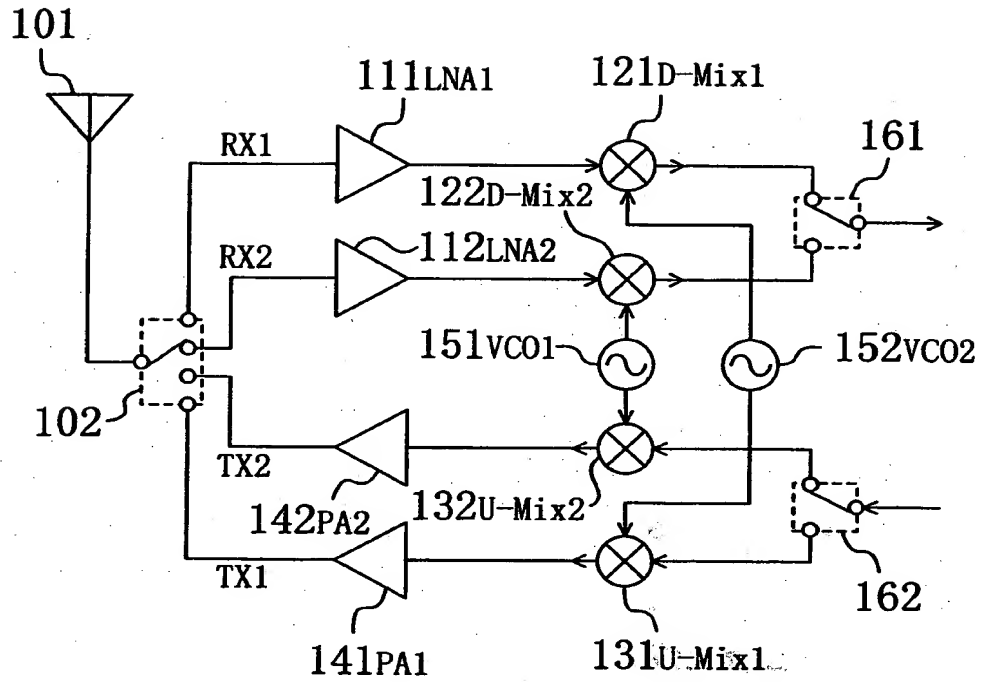
【図 30】



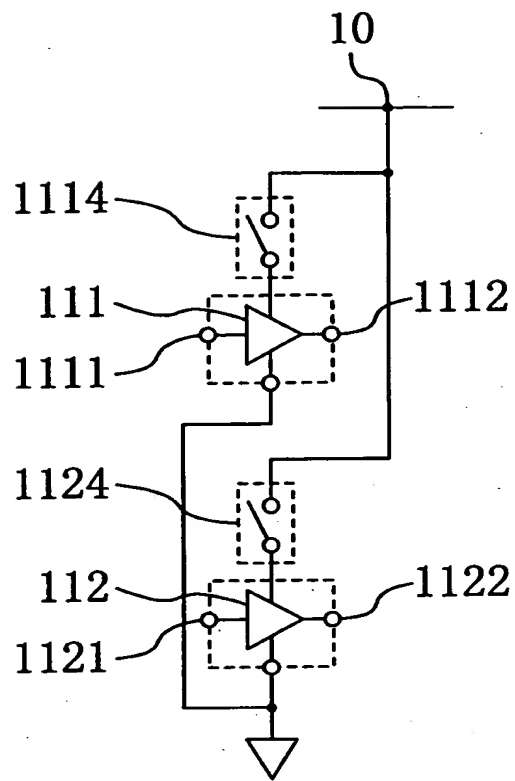
【図 31】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 デュアルバンド携帯電話等の通信装置において、素子数を低減し、端末の小型化を実現する。

【解決手段】 第 1 の低雑音増幅器 LNA1 111 には、これを on・off する制御端子 1115 が備えられる。前記低雑音増幅器 LNA1 111 と第 2 の低雑音増幅器 LNA2 112 とは、電源端子を共通に接続されて、電源スイッチ 1114 を介して電源 10 に接続される。前記 2 個の増幅器 LNA1 111、LNA2 112 は接地端子を共通に接続され、この共通端子と接地との間に定電流源 1 115 が接続される。前記第 1 の低雑音増幅器 LNA1 111 の制御端子 1115 の印可電圧を High/Low に切り替えることにより、前記両増幅器 LNA1 111、LNA2 112 の on・off の切替えを行う。前記電源スイッチ 1114 は、信号の送信時に off 制御される。従って、1 個の電源スイッチ 1114 のみで LNA ブロックを構成でき、従来よりも素子数を低減できて、小型化が実現される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社

THIS PAGE BLANK (USPTO)